

**Performance of RCP-II**  
**Performance du RCP-II**

Oliver Yang and Jian Song, *Department of Electrical and Computer Engineering, University of Ottawa, 161 Louis Pasteur, Ottawa, Ontario K1N 6N5. E-mail: yang@elg.uottawa.ca*

Pages: 5-12

The rotation counter protocol (RCP) is a token-passing ring protocol that includes a special field called the *rotation counter* in the token. It is capable of correlating the traffic among various stations and hence providing priority access. Not only is the mean delay of high-priority traffic small and almost constant, but the delay jitter can also be capped. In this respect, RCP can be used to serve synchronous traffic such as voice. By giving voice packets higher-priority access to the network, their real-time requirement can be satisfied in integrated services. In this paper we evaluate the integrated-services performance of RCP in terms of delay, jitter and throughput. Since this protocol can be adapted to the fibre-optic network, its performance is also compared with that of FDDI. Our performance study demonstrates that RCP-II is a potential candidate for high-speed token ring protocols.

Le protocole avec compteur de rotations (RCP) est un protocole passe-jeton en anneau dont le jeton inclut un champ spécial dénommé *compte des rotations*. Il est capable de corréler le trafic entre diverses stations et donc d'accorder des accès prioritaires. Non seulement le délai moyen du trafic de haute priorité est faible et quasi-constant, mais la variation du délai peut aussi être limitée. En conséquence, le protocole RCP peut servir du trafic synchrone tel que la voix. En donnant aux paquets de voix une priorité d'accès plus élevée, il peut répondre aux exigences temps-réel des services intégrés. Dans cet article, nous évaluons la performance du RCP en termes du délai et de sa variation, et en termes du débit. Puisque ce protocole peut être adapté à un réseau à fibre optique, sa performance est aussi comparée à celle du FDDI. Nos résultats montrent que le RCP-II est un candidat potentiel pour les protocoles passe-jeton en anneau rapides.

**Fault-tolerant neural network with concurrent error detection and correction capability**  
**Réseau de neurones tolérant aux défauts avec détection d'erreurs et capacité de correction**

D. U. Ekong and H. C. Wood, *Department of Electrical Engineering, University of Saskatchewan, 57 Campus Dr., Saskatoon, Sask. S7N 5A9, and M. H. Abd- El-Barr, Department of Computer Engineering, College of Computer Science and Engineering, KFUPM, Dhahran 31261, Saudi Arabia*

Pages: 13-18

Although artificial neural networks (ANNs) are generally considered to be robust, faults in neural network hardware can result in output errors. In order for ANNs to be used in mission-critical areas, they will be required to have the capability of detecting and correcting fault-induced computation errors. In this paper, a fault-tolerant neural network architecture with concurrent error detection and correction capability is proposed. The output of each hidden- and output-layer neuron of the proposed architecture is computed by three different processors or processing elements (PEs), and the computation results are compared. Each PE is also self-testing, and this ensures that if there are similar errors in a majority of the compared PE results, these errors will be detected. The proposed fault-tolerant architecture has been compared with existing fault-tolerant architectures, and simulation results are presented which show that ANNs implemented with the proposed architecture are more reliable and have better fault tolerance.

Quoique les réseaux de neurones artificiels sont généralement considérés robustes, les défauts dans l'implantation physique du réseau peuvent produire des erreurs aux sorties. Lorsque les réseaux de neurones artificiels sont utilisés dans des missions aux décisions critiques, ils doivent être capables de détecter et corriger les erreurs de calculs induites. Dans cet article, on propose un réseau de neurones tolérant aux défauts avec détection d'erreurs et la capacité de corriger les erreurs. La sortie de chaque couche cachée ou de chaque couche de sortie de l'architecture proposée est calculée par trois processeurs ou éléments de traitement (PEs) différents. Les résultats sont ensuite comparés. Chaque PE est aussi capable de s'auto-vérifier, ce qui assure que si des erreurs similaires se produisent sur la majorité d'entre eux, ces erreurs pourraient être détectées. L'architecture de tolérance de défauts proposée a été comparée avec les architectures existantes, et les résultats de simulation sont présentés. Ils montrent que

l'implantation d'un réseau de neurones artificiels avec l'architecture proposée est plus sûre et a une meilleure tolérance aux défauts.

**A high-speed systolic array for computing third-order cumulants**  
**Un réseau systolique rapide pour le calcul des cumulants du troisième ordre**

M.A. Al-Turaigi and SA. Alshebeili, *Department of Electrical Engineering, King Saud University, P.O. Box 800, Riyadh 11421, Saudi Arabia*

Pages: 19-24

The computational complexity involved in the estimation of higher-order statistics far exceeds that of conventional second-order statistics. This paper presents a parallel-processing system that speeds up the computational process of third-order cumulants. An algorithm for estimating third-order cumulants based on matrix multiplications is presented. Then, a special structure of systolic array system for matrix multiplications is developed. The structure and complexity of the array as well as the internal structure and the delay of the processing elements are discussed. The system is suitable for VLSI implementation.

La complexité des calculs impliqués pour faire des estimations statistiques d'ordre supérieur, excède de loin celle nécessaire pour les statistiques conventionnelles de second ordre. Cet article présente un système de traitement parallèle qui accélère le traitement des calculs pour obtenir les cumulants du troisième ordre. Un algorithme d'estimation des cumulants du troisième ordre qui procède à partir des multiplications matricielles est présenté. Ainsi, une structure spéciale d'un système avec réseau systolique pour les multiplications matricielles est développée. La structure, la complexité du réseau ainsi que la structure interne et les délais provoqués des éléments de traitement sont discutés. Le système final peut être transposé pour une implantation en VLSI.

**Private-key algebraic-code encryption with errors up to  $(d_{min} - 1)$  of the code\***  
**Cryptographie clé-privée à codage algébrique avec jusqu'à  $(d_{min} - 1)$  erreurs du code**

A. Kh. Al Jabri, *Electrical Engineering Department, College of Engineering, King Saud University, P.O. Box 800, Riyadh 11421, Saudi Arabia. E-mail: F45e011@SAKSU00.bitnet*

Pages: 25-28

In most algebraic-code cryptosystems errors are added to the encoded plaintext to form the ciphertext. The number of added errors is usually less than or equal to the error-correcting capability of the code. In this paper we propose a method that permits the addition of almost double the number of these errors. The idea is based on the fact that linear codes can correct twice as many erasures as errors. A method for erasure creation, detection and correction is devised. Such an approach will allow for the addition of a number of errors that can not be corrected without side information about their position. This approach will result in a further increase in the security of these systems compared to systems with errors only. Based on this idea, a private-key cryptosystem with simple codes and permutations only is proposed and its security is evaluated.

Dans la plupart des systèmes de cryptographie à codage algébrique, des erreurs sont ajoutées au texte original pour former le texte chiffré. Le nombre d'erreurs ajoutées est habituellement plus petit ou égal à la capacité de correction d'erreurs du code. Dans cet article, nous proposons une méthode qui permet l'addition de presque le double d'erreurs, et qui est basée sur le fait que les codes linéaires peuvent corriger deux fois plus d'effacements que d'erreurs. Une méthode pour la création, détection et correction d'effacements est développée. Une telle approche permettra l'addition d'un nombre d'erreurs qui ne pourront être corrigées sans autre information sur leur position. Cette approche pourra résulter dans un accroissement de la sécurité de ces systèmes relativement aux systèmes avec erreurs seulement. Basé sur ces idées, un système de cryptographie à clé privée, construit avec des codes simples et des permutations uniquement, est proposé et sa sécurité est évaluée.

**Performance analysis of an improved selective repeat protocol for high-speed networks**  
**Analyse de performance pour un protocole à répétition sélective amélioré pour les réseaux à haute vitesse**

Amr Sabaa, Fayez Elguibaly and Dale Shpak, *Department of Electrical and Computer Engineering, University of Victoria, Victoria, B.C. V8W 3P6. E-mail: asabaa@nortel.ca, fayez@sirius.uvic.ca,*

In this paper, we introduce a new error recovery protocol which minimizes the number of control packets required to achieve reliable communication. The proposed protocol adapts itself to work efficiently during congestion. A complete analysis of the performance of the proposed protocol is presented. The analytical and simulation results of the proposed scheme illustrate high throughput and limited cell delay which can be achieved with a small number of control cells.

Cet article introduit un nouveau protocole à recouvrement d'erreurs qui minimise le nombre de paquets de contrôle requis pour des communications fiables. Le protocole proposé s'adapte de lui-même pour travailler efficacement lors de congestion. Une analyse complète de la performance du protocole proposé est présentée. Les résultats autant analytiques que de simulation illustrent le débit élevé ainsi que le délai de cellule modéré qui peuvent être obtenus avec un faible nombre de cellules de contrôle.

## **1997 – Volume 22 – No 2**

### **An integrated multiservice wireless access network\***

#### **Un réseau multi-service intégré d'accès sans fil**

Paul Mermelstein and Srinivas Kandala, *INRS-Télécommunications, Université du Québec, Verdun, Québec H3E 1H6*  
Pages : 41-46

We consider the organization and performance of a microcellular code-division multiple-access system that supports voice, video and data services over the personal communications band near 1.9 GHz. Protection of such a system from overload by preventing admission of more calls than can be supported is important to ensure that the required grades of service are satisfied. We report on the multiservice call capacities achievable under static and dynamic conditions. Call admission is tightly linked to the ongoing power control operations for calls already admitted. The power transmitted by the base and the interference seen by the receiver at the base station provide ready indications of the traffic conditions in each cell. Traffic reports from adjacent cells are used to take advantage of the higher traffic capacity of a cell when out-of-cell interference is diminished.

Nous considérons l'organisation et la performance d'un système microcellulaire à accès multiple par répartition codée qui support la voix, le vidéo et les données dans une bande près de 1.9 GHz. La protection d'un tel système contre la surcharge est importante pour rencontrer les niveaux de qualité de service requis. Nous évaluons les capacités d'appels multi-services atteignables dans des conditions statiques et dynamiques. L'admission d'appels est étroitement liée aux opérations de contrôle de puissance pour les appels déjà admis. La puissance transmise par la base et l'interférence vue par le récepteur de la station de base indiquent les conditions de trafic dans chaque cellule. Les rapports de trafic en provenance des cellules adjacentes sont utilisés pour prendre avantage de l'augmentation de la capacité de trafic d'une cellule lorsque l'interférence externe est diminuée.

### **A software-based variable-rate modem for PCS applications\***

#### **Implantation logicielle d'un modem à taux variable pour applications PCS**

Ramesh Mantha, Andrew Hunt and Stewart Crozier, *Communications Research Centre, 3701 Carling Ave., P.O. Box 11490, Station H, Ottawa, Ont. K2H 8S2*  
Pages : 47-50

This paper describes the software implementation of the baseband portion of a variable-rate modem. The modem can handle arbitrary symbol rates with a fixed input/output sample rate. This approach reduces hardware complexity related to external clock generation circuitry, offers complete flexibility in the selection of symbol rates, and conveniently accommodates symbol-timing and symbol-rate corrections.

Cet article décrit l'implantation logicielle de la portion en bande de base d'un modem à taux variable. Le modem peut répondre à des taux de symbole arbitraires avec un taux d'échantillonnage entrée/sortie fixe.

Cette approche réduit la complexité matérielle reliée à l'horloge externe, elle offre une flexibilité complète dans la sélection du taux des symboles, et elle permet d'accommoder des corrections au temps et au taux de symbole.

**Performance of coherent QPSK communications over frequency-selective fading channels for broadband PCS**

**Performance du QPSK-cohérent sur des canaux à évanouissements sélectifs en fréquence pour PCS à large bande**

A. Semmar, M. Lecours and H.T. Huynh, *Department of Electrical and Computer Engineering, Université Laval, Québec, Qué. G1K 7P4. E-mail: Assia.Semmar@gel.ulaval.ca*

Pages : 51-54

The fading caused by multipath and the effect of delay spread affect broadband wireless personal communications channels by introducing intersymbol interference, which appear when the root-mean-squared (rms) delay spread is significant in comparison to the duration of the transmitted symbols. This results, in the absence of equalizing, in an irreducible error probability. In this paper, we show that it is easy to obtain, for given power-delay profile models, the variance of the interference components at the output of a QPSK receiver. Using Gaussian approximations, a general form for a "fading factor" is defined. This approach is applied, in the particular cases of exponential and Maxwell power-delay profiles, to analyze the performance of coherent QPSK modulation over frequency-selective fading channels.

Les évanouissements causés par les trajets multiples et l'effet du profil de délai dans le canal affectent les systèmes de communications personnelles à large bande en introduisant de l'interférence intersymbole, qui se manifeste quand la valeur quadratique moyenne du profil de délai est significative en comparaison avec la durée des symboles, et qui résulte, en l'absence d'égalisation, en une probabilité d'erreur irréductible. Nous montrons dans cet article qu'il est facile d'obtenir, pour des modèles quelconques de profils de délai, la variance des composantes interférentes à la sortie d'un récepteur QPSK. En utilisant l'approximation gaussienne, nous définissons une forme générale pour un "Facteur de Fading". Nous appliquons cette approche, dans les cas particuliers de profils de délai exponentiels et de Maxwell, à l'analyse de la performance de la modulation QPSK sur les canaux à fading sélectif en fréquence.

**Multipath impulse response modeling for indoor channel using TD-BEM**

**Modélisation de la réponse impulsionnelle pour les canaux d'intérieur à l'aide de la TD-BEM**

Gilles Y. Delisle, *INRS-Télécommunications, Université du Québec, 16 Place du Commerce, Verdun, Qué. H3E 1H6, and Larbi Talbi, Department of Electrical Technology, College of Technology, P.O. Box 42826, Riyadh 11551, Saudi Arabia*

Pages : 55-62

Indoor radio networks operating in the millimetre-wave frequency range may offer large information transport capacity and more sharply defined cell boundaries. The main features of the propagation in an indoor radio environment are multipath, due to reflection or diffraction from the walls and surrounding objects, and shadowing of the direct or line-of-sight propagation path by intervening obstacles. This paper presents a prediction technique for the multipath impulse response inside a confined cell/room with high resolution. The technique is based on a deterministic model developed using the Time-Domain Boundary Element Method (TD-BEM). Given the complete specifications of the structural environment (room size and shape, wall and furnishing materials), the discussed model can predict the impulse responses, the multipath spread and the frequency-selective characteristics of wireless indoor channels. Both modelled and measured results are given for a 37.2-GHz wireless system operating in two different environments, demonstrating the model's ability to predict adequate results.

Les ondes millimétriques offrent des capacités accrues pour les réseaux de télécommunications sans fils à l'intérieur des édifices de même que des cellules mieux définies. Dans le contexte de la propagation radio dans un milieu confiné, les effets les plus percutants sont les réflexions ou diffractions par les murs et les objets avoisinants et les effets de masque du signal direct ou en ligne de vue par les obstacles. Cet article présente une technique haute-résolution pour le calcul de la réponse impulsionnelle à l'intérieur d'une pièce (cellule). Cette technique s'appuie sur un modèle déterministe faisant appel à la méthode des éléments frontières à variation temporelle (*Time-Domain Boundary Element Method, TD-BEM*). À partir d'une connaissance adéquate de la géométrie et des caractéristiques des matériaux (grandeur et forme de la

pièce, textures des murs et du mobilier), la modèle présenté permet la prédiction de la réponse impulsionnelle, l'étalement du délai et la sélectivité en fréquences du canal radio intérieur. Des résultats numériques et expérimentaux obtenus pour deux environnements distincts à 37.2 0Hz sont utilisés pour démontrer la performance du modèle pour prédire des résultats satisfaisants.

#### **Module de simulation pour une prévision de couverture du canal radio mobile**

##### **Simulation module for coverage prediction in mobile radio**

E.M. Hassan\*, TA. Denidni<sup>†</sup> et G.Y. Delisle\* (\*INRS-Télécommunications, 16, Place du Commerce, Verdun (Québec) H3E 1H6. <sup>†</sup> Université du Québec à Rimouski, 300, Allée des Ursulines, Rimouski (Québec) G5L 3A1)

Pages : 63-70

Cet article a pour but d'explorer les paramètres qui influencent la propagation des ondes électromagnétiques entre des antennes émettrice et réceptrice situées sur un même étage dans un édifice à bureaux. Utilisant la technique des rayons, notre programme étudie tous les trajets possibles, à savoir le trajet direct, les réflexions sur les murs, la diffraction par des arêtes vives et verticales et le rayonnement dans toutes les directions. Nos résultats sont présentés sous la forme d'une réponse impulsionnelle du canal multitrajet aux ondes millimétriques.

This paper presents an analysis of the parameters which influence the wave propagation between transmitting and receiving antennas located on the same floor of an office building. Using the ray-tracing method, the model considers all the possible paths, namely the direct path, reflections from internal and external walls, diffraction by knife and vertical edges and the radiation in all possible directions. Results are presented using the impulse response of the multipath channel in millimetre waves.

#### **TLM modelling of multilayer coupling structures for microwave PCS antennas**

##### **Modélisation TLM de structures multi-niveaux pour des antennes PCS micro-ondes**

A. Dhouib, Nortel Wireless Networks, P.O. Box 3511, Station C, Ottawa, Ont., K1Y 4H7, MG, Stubbs, Communications Research Centre, 3701 Carling Ave., P.O. Box 11490, Station H, Ottawa, Ont. K2H 8S2, and M. Lecours, Electrical Engineering Department, Laval University, Québec, Qué. G1K 7P4

Pages : 71-78

This paper presents a multilayer architecture applicable to integrated planar active array antennas in personal communication systems (PCSs). The configuration uses a combination of microstrip and stripline transmission lines on stacked substrates to integrate printed patch antennas, microwave active circuits, signal-distribution networks, etc., into a compact multilayer system. A general-purpose EM simulator based on the transmission-line matrix (TLM) has been developed to model some vertical interconnections in a multilayer construction. Good agreement is obtained between measurements and numerical results of a monolithic microwave integrated circuit (MMIC) via hole, a novel broadband stripline coupler, and an aperture-coupled dielectric resonator antenna.

Cet article présente une architecture multi-niveaux applicable à antennes réseaux actives intégrées, pour des systèmes de communication personnelle. La configuration utilise une combinaison de structures planes micro ruban et stripline pour intégrer des antennes-plaques, des circuits actifs micro-ondes, des réseaux de distribution du signal, etc., dans un système multi-niveaux compact. Un simulateur d'onde électromagnétique basé sur la méthode numérique TLM a été développé pour étudier les caractéristiques des transitions d'interconnexion verticale dans une construction mutti-niveaux. Une bonne concordance a été obtenue entre mesures et résultats numériques pour des trous métallisés, un nouveau coupleur stripline large bande, et une antenne à résonateur diélectrique avec couplage à fente.

#### **Radiation characteristics of a meander-line dipole antenna**

##### **Caractéristiques de radiation d'une antenne dipole filaire à méandre**

M. Ali and S.S. Stuchly, Department of Electrical and Computer Engineering, University of Victoria, P.O. Box 3055, Victoria, B.C. V8W 3P6

Pages : 79-83

A simple analytical method is proposed for calculation of the vertically polarized and horizontally polarized relative power densities of a meander-tine dipole (MLD) antenna. A sinusoidal distribution of

current that drops to zero at both ends of the dipole is assumed. Results obtained using this method are in good agreement with results computed using the Numerical Electromagnetic Code . The MLD antenna has some cross-polarization, which, for a constant antenna length, can be minimized by increasing the number of meander sections. The gain of the antenna is calculated as a function of antenna length with the number of meander sections as a parameter. The gain for the MLD antenna is greater than that for a straight-wire dipole of the same length.

On propose une méthode analytique simple pour le calcul de la densité de puissance relative des polarisations verticales et horizontales d'une antenne dipôle filaire à méandre (MLD). On fait l'hypothèse d'une répartition de courant nulle aux deux extrémités du dipôle. Les résultats obtenus avec cette méthode montrent une bonne concordance avec ceux obtenus du progiciel NEC. L'antenne MLD a un certain niveau de polarisation croisée qui, pour une longueur d'antenne donnée, peut être minimisé en augmentant le nombre de sections à méandre. Le gain de l'antenne est calculé en fonction de sa longueur et du nombre de sections à méandre, et est plus élevé que pour un dipôle droit de la même longueur.

### **1997 – Volume 22 – No 3**

#### **Design and modelling of a nonblocking input-buffer ATM switch**

##### **Conception et caractérisation d'un commutateur ATM à mémoire d'entrée sans blocage**

Amr Sabaa, Fayez ElGuibaly and Dale Shpak, *Department of Electrical and Computer Engineering, University of Victoria, P.O. Box 3055, Victoria, B.C. V8W 3P6. E-mail: asabaa@nortel.ca, fayez@ece.uvic.ca, dale@ece.uvic.ca*

Pages : 87-94

In this paper, we introduce a new ATM switch architecture. Buffer access speeds of the proposed architecture match the port speeds, and the buffer acts, in effect, as a multiport memory. The input buffers are implemented as a group of parallel shift registers. This approach overcomes the head-of-the-line (HOL) and low-throughput problems of input buffers. Shift-register buffers allow operating speeds much higher than are possible using RAM buffers. Furthermore, switch speed is independent of buffer size. This is a very important feature for ATM networks that require storage of large amounts of cells in the switching nodes. The parallel nature of the input queues allows for multicast functions. In addition, the modularity of the proposed architecture facilitates its scalability. A dispatching mechanism for cell selection in ATM switches with multiple priorities is also introduced. The proposed switching scheme satisfies real-time and nonreal-time quality-of-service (QoS) requirements. Simulations of the switch with the new dispatching mechanism are performed under a diversity of bursty traffic loads.

Nous introduisons dans cet article une nouvelle architecture de commutateur ATM. Les vitesses d'accès à la mémoire d'entrée dans cette nouvelle architecture correspondent à la vitesse des ports et cette mémoire agit dans les faits comme une mémoire multi-port. Les mémoires d'entrée sont réalisées comme un groupe de registres à décalage en parallèle, ce qui règle la question des lignes de priorités (HOL) et les problèmes de débits trop lents, car ces mémoires permettent des vitesses d'opération beaucoup plus élevées que la mémoire RAM. De plus, la vitesse du commutateur est indépendante de la dimension de la mémoire, ce qui est une caractéristique très importante pour les réseaux ATM qui exigent l'enregistrement de grandes quantités de cellules dans les noeuds de commutation. Le parallélisme des files d'entrée permet des fonctions de multi-diffusion. De plus, la modularité de l'architecture proposée facilite son dimensionnement. On introduit aussi un mécanisme de répartition pour la sélection de cellules dans les commutateurs ATM à priorités multiples. La technique de commutation proposée satisfait les exigences de service, en temps réel et autrement. Des simulations du commutateur avec le nouveau mécanisme de répartition sont présentées pour divers types de trafic en salve.

#### **Contournement électrique des isolateurs recouverts de glace**

##### **Flashover performance of ice-covered insulators**

M. Farzaneh et J. Kiernicki, *Laboratoire haute tension et givrage atmosphérique, Université du Québec à Chicoutimi, 555, boulevard de l'Université, Chicoutimi (Québec) G7H 2B1*

Pages : 95-110

La présence de glace à la surface des isolateurs est parfois à l'origine de perturbations graves sur les réseaux électriques. En effet, la présence de glace entraîne la diminution des performances électriques des isolateurs et peut mener, dans certaines circonstances, à l'apparition de l'arc de contournement et par conséquent aux défauts à la terre. La tension de tenue maximale des isolateurs recouverts de glace est nettement inférieure à celle des isolateurs propres. La performance électrique des isolateurs dépend des conditions environnementales qui accompagnent la formation et l'évolution des dépôts de glace. La température, la teneur en eau, la vitesse du vent, la grosseur des gouttelettes d'eau, la conductivité des précipitations, ainsi que la nature et l'intensité du champ électrique sont autant de facteurs qui influencent le type, la quantité et l'uniformité de la glace. La présente publication fait état des recherches sur le comportement électrique des isolateurs recouverts de glace, particulièrement en fonction des simulations en laboratoire, des méthodes d'application de tension ainsi que des différents facteurs intervenant. Elle fait également état des travaux effectués dans les laboratoires de différents pays et met en relief les résultats obtenus au Laboratoire haute tension et givrage atmosphérique de l'Université du Québec à Chicoutimi (UQAC).

The presence of ice on the surface of insulators is sometimes the cause of severe problems in power networks. In fact, the presence of ice reduces the electrical performance of insulators in ways that can, in some circumstances, lead to flashover resulting in power outages. The maximum withstand voltage of ice-covered insulators is distinctly inferior to that of clean insulators. The electrical performance of insulators also depends on atmospheric conditions during the formation and development of ice deposits. Temperature liquid water content, wind speed, water droplet size, conductivity of precipitation, as well as the nature and strength of the electric field are major factors influencing the type, quantity and uniformity of ice. This paper gives an account of the research carried out on the electrical behaviour of ice-covered insulators, particularly in relation to laboratory ice simulation, voltage application methods and the major intervening factors. The paper also reports on the work being done in laboratories around the world, and highlights the results obtained at the High Voltage and Atmospheric Icing Laboratory of the University of Quebec in Chicoutimi (UQAC).

**A dc/ac converter with input resonant circuit and single-phase inverter  
Un convertisseur monophasé dc/ac avec circuit résonant à l'entrée**

Dimitrie Alexa, Victor Donescu\*, Dorin O. Neacsu and Venkatachari Rajagopalan\*, *Technical University of Iasi, Copou 22, RO-6600, Iasi, Romania Hydro-Québec-NSERC Industrial Research Chair, Université du Québec à Trois-Rivières, CP 500, Trois-Rivières (Québec) G9A 5H7*

Pages : 111-118

This paper presents a new dc/ac single-phase converter. By equipping the inverter input with a resonant circuit, the switching loss in the semiconductor devices has been reduced and the electromagnetic interference problem has been rendered less severe, because the resonant voltage pulses have lower  $dv/dt$ . Moreover, due to the resonant-circuit presence, a good sinusoidal voltage is applied to the inverter load. The simulation results have proved the merits of the proposed topology and an experimental prototype has been set up on this principle to verify the theoretical results.

Cet article présente un nouveau convertisseur monophasé dc/ac. En équipant cet onduleur avec un circuit résonant à l'entrée, les pertes de commutation dans les semiconducteurs sont réduites et les problèmes d'interférence électromagnétique sont moins sévères, parce que l'allure de la tension résonante a un  $dv/dt$  plus faible. En même temps, grâce à la présence du circuit résonant, une tension pratiquement sinusoïdale est appliquée aux bornes de la charge. Les résultats de la simulation ont démontré les avantages de la topologie proposée et un modèle expérimental basé sur ce principe a été mis au point pour valider les résultats expérimentaux.

**Dynamic analysis of LCC-type parallel resonant converter operating in discontinuous current mode\*  
Analyse dynamique de convertisseur LCC à résonance parallèle opérant en mode de courant discontinu**

Vivek Agarwal, A. K. S. Bhat and V. Belaguli, *Department of Electrical and Computer Engineering, University of Victoria, P.O. Box 3055, Victoria, B.C. V8W 3P6*

Pages : 119-130

A discrete time-domain model for the LCC-type parallel resonant converter, operating in discontinuous current mode (DCM), is derived. This model, which makes use of some practical approximations, simplifies the calculations, reduces the computer simulation time and is adequate to predict some of the basic design constraints (peak component stresses, etc.) which are governed by the dynamics of the converter during large-signal transients. PROMATLAB software was used to solve the discrete-model equations on the computer. Theoretical results are verified by SPICE simulation and experiments. An approximate small-signal model is also derived and used to predict the small-signal behaviour of the converter.

Cet article dérive un modèle discret dans le domaine du temps d'un convertisseur LCC à résonance parallèle opérant en mode de courant discontinu. Ce modèle, qui fait usage de certaines approximations pratiques, simplifie les calculs, réduit le temps de simulation sur ordinateur, et est adéquat pour prédire quelques-unes des contraintes de base de design qui sont fonction de la dynamique du convertisseur durant les transitoires à fort signal. Le progiciel PROMATLAB a été utilisé pour résoudre les équations du modèle discret. Les résultats théoriques sont vérifiés par des simulations SPICE et par des essais. Un modèle approximatif à faible signal est aussi dérivé et utilisé pour prédire le comportement à faible signal du convertisseur.

**Transient stability assessment of power systems by a new estimating neural network  
Évaluation de la stabilité transitoire de systèmes de puissance par un nouvel estimateur par réseau  
de neurones**

Nima Amjady and Mehdi Ehsan, *Department of Electrical Engineering, Sharif University of Technology,  
P.O. Box 11365-9363, Azadi Ave., Tehran, Iran*

Pages : 131-137

The problem of transient stability assessment and its difficulties are explained. An expert system using a neural network that is appropriate for determination of transient stability of power systems is discussed in the paper. This neural network is applied to determine the critical clearing times in a disturbed power system. Applications of this method and its advantages and disadvantages are discussed.

Dans cet article, on explique d'abord le problème de l'évaluation de la stabilité transitoire et ses difficultés. Un système expert utilisant un réseau de neurones approprié pour la détermination de la stabilité transitoire de systèmes de puissance est présenté et discuté. On applique ce réseau de neurones à la détermination des temps critiques dans un système de puissance en perturbation. L'article discute de l'application de cette méthode de même que de ses avantages et désavantages.

## **1997 – Volume 22 – No 4**

**Linear Kalman filtering algorithm applied to measurements of power system voltage magnitude and frequency: A constant-frequency model**

**Application de l'algorithme de filtrage linéaire de Kalman aux mesures de l'amplitude et de la fréquence de systèmes de puissance: un modèle à fréquence constante**

S.A. Soliman, *Electrical Engineering Department, College of Technological Studies, P.O. Box 42325, Shuweikh, Kuwait*, M. H. Abdel-Rahman, *Electrical & Computer Engineering Department, University of Kuwait, P.O. Box 5969, Safat, 13060 Kuwait*, and M.E. El-Hawary, *Faculty of Engineering, Technical University of Nova Scotia, P.O. Box 1000, Halifax, Nova Scotia, B3J 2X4*

Pages: 145-154

The Kalman filtering (KF) algorithm has found widespread application in power system measurements for relaying, such as measurements of voltage and current phasors, frequency and rate of change of frequency. This paper presents the application of linear Kalman filters to optimal tracking of power system voltage phasors and frequency deviations. Frequency is assumed to be constant within the data window. Two linear state-space models are used. The first is a two-state model developed and reported earlier in the literature, while the second is newly developed by the authors and is characterized by differing numbers of state variables, depending on the number of terms taken from a Taylor series expansion. The proposed filter is tested when the measurements set is contaminated by noise. The effects of the sampling rate, data-



window size and number of terms taken from the Taylor series expansion are investigated.

L'algorithme de filtrage de Kalman a de multiples applications dans les systèmes de puissance pour les mesures des phaseurs de tension et de courant, de la fréquence et de son taux de variation. Cet article présente l'application de l'algorithme de filtrage linéaire de Kalman au suivi optimal du phaseur de tension et des déviations de fréquence dans les systèmes de puissance. La fréquence est supposée constante dans la fenêtre de données. Deux modèles linéaires d'espace d'état sont utilisés. Le premier est un modèle à deux états développé et rapporté précédemment dans la littérature, alors que le second a été nouvellement développé par les auteurs et est caractérisé par un nombre différent de variables d'état selon le nombre de termes retenus dans une expansion en série de Taylor. Le filtre proposé est essayé avec un ensemble de mesures contaminées par le bruit. Les effets du taux d'échantillonnage, de la grandeur de la fenêtre et du nombre de termes de la série de Taylor sont évalués.

#### **DSP-based space-vector PWM pattern generators for three-phase current source rectifiers and inverters**

#### **Génération sur DSP de diagrammes de modulation d'impulsions en durée pour les convertisseurs de sources de courant triphasées**

José R. Espinoza *Depto. Ing. Electrica, Of 230, Universidad de Concepcion, Casilla 53-C, Correo 3, Concepcion, Chile*, Geza Joos, *Department of Electrical and Computer Engineering, Concordia University, 1455 de Maisonneuve Blvd. W., Montréal, Québec H3G 1M8*, and Hua Jin, *Department of Electrical Engineering, University of British Columbia, 2356 Main Hall, Vancouver, B.C. V6T 1Z4*

Pages: 155-162

Current source converters (rectifiers and inverters) are usually modulated using off-line pattern generators, due to the complex requirements of the switch gating signals. However, on-line patterns (carrier- and space-vector-based) offer a number of control advantages, such as tracking-error minimization, zero steady-state error, and potential implementation of enhanced control strategies. With the capability of microprocessors and digital signal processors (DSPs), digital space-vector modulation offers an interesting alternative to standard carrier-based modulation techniques. This paper addresses practical issues such as switching-frequency minimization, uncharacteristic-harmonic reduction, and delay compensation. Improved space-vector algorithms are derived that (a) reduce switching frequency, (b) improve reference tracking, and (c) reduce harmonic distortion. Experimental results on a 2-kVA current source rectifier are used to validate the proposed algorithms and control techniques.

On module généralement les convertisseurs de sources de courant (rectificateurs et inverseurs) en utilisant des générateurs hors-ligne, à cause des exigences complexes des signaux de commande. Cependant, la génération en ligne offre plusieurs avantages comme la minimisation de l'erreur de poursuite, une erreur nulle en régime permanent, et l'implantation potentielle de meilleures stratégies de commande. Les microprocesseurs et les processeurs numériques de signaux (DSP) offrent une alternative intéressante aux modulations de porteuse standards. Cet article traite de sujets pratiques tels que la minimisation de la fréquence de commutation, la réduction d'harmonique non-caractéristique, et la compensation de délai. On dérive des algorithmes à espace vectoriel améliorés qui réduisent la fréquence de commutation, améliorent la poursuite de la référence, et réduisent la distortion harmonique. Des résultats expérimentaux sur un rectificateur de source de courant de 2 kVA sont utilisés pour valider les algorithmes et les techniques de commande proposés.

#### **Some reflections on the current theory of robust control**

#### **Quelques réflexions à propos de la théorie actuelle de commande robuste**

H.J. Marquez, *Department of Electrical & Computer Engineering, University of Alberta, Edmonton, Alberta T6G 2G7*

Pages: 163-168

The purpose of this article is to make a critical analysis of the so-called robust control theory, from an input-output perspective. Viewing a system as a function that maps excitations into responses, it argues that while deviations in the graph of the function are usually accounted for in robust control theory, restrictions in the domain of definition of the function are usually ignored. The claim is made that these restrictions are necessary for the theory to be significant. A reformulation of the classical theory of input/output systems is proposed, based on the concept of binormed extended space, previously introduced

by the author in . The results mark a clear separation between local and global notions of input-output stability, much in the spirit of the notions of local and global stability in the sense of Lyapunov.

Le but de cet article est de faire, selon une perspective d'entrée-sortie, une analyse critique de la théorie communément appelée commande robuste. Considérant un système comme une fonction qui fait correspondre une réponse à une excitation, on affirme que les déviations dans le graphe de la fonction sont généralement prises en compte par une commande robuste, les restrictions dans le domaine de définition de la fonction étant généralement ignorées. Revendication est faite que ces restrictions sont nécessaires pour que la théorie soit significative. Une reformulation de la théorie classique des systèmes d'entrée-sortie est proposée en se basant sur le concept d'espace étendu bi-normé introduit au préalable par l'auteur à la référence. Les résultats indiquent une séparation claire entre les notions locales et globales de stabilité d'entrée-sortie, plus dans l'esprit des notions de stabilité locale et globale selon Lyapunov.

**A novel high-speed bit-parallel multiply-accumulate arithmetic architecture employing mixed SB/TC number arithmetic**  
**Nouvelle architecture par bit-parallèle à haute vitesse et à architecture multipliée/accumulée employant l'arithmétique à nombre BS/CD**

Vishwas M. Rao and Behrouz Nowrouzian, *Department of Electrical and Computer Engineering, The University of Calgary, 2500 University Drive N. W., Calgary, Alberta T2N 1N4*

Pages: 169-176

This paper presents an architecture for high-speed bit-parallel multiply-accumulate (MAC) arithmetic operation. This architecture employs the modified-Booth recoding algorithm for multiplication, and a kernel using mixed (*sign*, *value*)-encoded signed-binary (SB) and two's complement (TC) computation for carry-free generation of the SB partial-product sums. The final SB partial-product sum undergoes full-precision accumulation, rounding and overflow correction concurrently to facilitate a high-speed overall operation. A high-performance architecture is proposed for IEEE Standard 754 default rounding of the SB result. This architecture exploits the modified-Booth multiplication algorithm to generate the SIGN and STICKY indicators concurrently with the partial-product sum generation, and the carry-free property of redundant number addition to perform the final rounding operation concurrently with the accumulation operation. The conversion of the final rounded SB number into its corresponding TC format is achieved by using a fast pipelined lookahead converter. It is demonstrated that the use of (*sign*, *value*)-encoding leads to combined area- and time-efficient implementations. The resulting MAC arithmetic architecture is parameterized at the gate level and is subsequently verified using Viewlogic simulations for a corresponding  $8 \times 8 + 15$  Actel 1.2- $\mu\text{m}$  technology implementation.

Ce papier présente une architecture pour les opérations à grandes vitesses et par traitement parallèle des bits pour les opérations arithmétiques de type multipliée/accumulée (MAC). Cette architecture utilise l'algorithme de recodage de Booth modifié pour la multiplication et un kernel employant un mélange (signe, valeur) encodé pour les calculs en binaire signé (BS) et en complément deux (CD) sans production retenue pour la formation des sommes de produits partiels en BS. La somme finale des produits partiels en BS subit concurremment une accumulation avec toute la précision, tous les arrondissements et la correction de débordement afin de faciliter l'opération globale à haute vitesse. Une architecture à haute performance est proposée pour le standard IEEE 754 (arrondissement du résultat en BS). Cette architecture exploite l'algorithme de multiplication de Booth modifié pour produire concurremment les indicateurs SIGNE et COLLANT, la production des sommes de produits partiels et ce, sans retenue des additions redondantes de nombres, de façon à produire l'opération finale d'arrondissement en même temps que l'opération d'accumulation. La conversion du nombre final en BS dans son format correspondant en CD est obtenue en employant un convertisseur rapide à anticipation par pipeline. On démontre que l'utilisation de l'encodage (signe, valeur) conduit à une implantation rapide, consommant peu d'espace. L'architecture MAC correspondante est paramétrisée au niveau des portes et subséquemment vérifiée pour une implantation  $8 \times 8 + 15$  d'Actel en technologie 1.2  $\mu\text{m}$ .

**A novel implementation approach for an ATM switch with a per-VO architecture**  
**Une nouvelle approche pour l'implantation d'un commutateur ATM d'architecture à connexion virtuelle**

M. Vishnu and J. W. Mark, *Department of Electrical and Computer Engineering, University of Waterloo, Waterloo, Ontario N2L 3G1*

Let  $S$  be the set of virtual connection (VC) streams being multiplexed by a statistical multiplexer. A statistical multiplexer is said to be a per-VC multiplexer if, to the  $i$ th VC stream, the statistical multiplexer appears as a single server queue with a buffer space  $\geq B_i$  cells and a service time of  $\leq D_i$  slots, for each  $i \in S$ . An  $N \times N$  ATM switch consists of  $N$  statistical multiplexers and is said to have a per-VC architecture if it uses per-VC multiplexers. Such a switch provides several advantages: It enables the network to provide diverse end-to-end Quality of Service (QoS) guarantees to heterogeneous traffic streams on a per-VC basis. Per-VC architecture also enables us to devise efficient flow-control schemes for available bit rate (ABR) VCs. We propose a new ATM switch with a per-VC architecture called the virtual connection queue (VCQ) ATM switch. We also propose a connectionist implementation of the VCQ ATM which implements all functions in hardware and which avoids the use of any central processors. A connectionist implementation of a system is comprised of a large number of simple processing/storage elements (PSEs) interconnected to form a cooperative parallelism.

Soit l'ensemble  $S$  de voies à connexion virtuelle (VC) dans un multiplexeur statistique. Un tel multiplexeur est considéré de type "per-VC" s'il apparaît à la  $i$ ème voie VC comme une file d'attente à un seul serveur avec un espace tampon  $\geq B_i$  cellules et un temps de service  $\leq D_i$  tranches pour chaque  $i \in S$ . Un commutateur ATM  $N \times N$  est constitué de  $N$  multiplexeurs statistiques et est dit avoir une architecture per-VC s'il utilise des multiplexeurs per-VC. Un tel commutateur possède plusieurs avantages, Il permet au réseau de fournir divers niveaux de Qualité de Service (QoS) sur une base per-VC à des voies hétérogènes de trafic. L'architecture per-VC permet aussi de définir des procédures de contrôle de débit efficaces pour les VC à taux d'erreur disponible (ABR-VC). Nous proposons un nouveau commutateur ATM avec une architecture per-VC, que nous dénommons commutateur ATM à file d'attente à connexion virtuelle ou VCQ-ATM. Nous proposons une implantation connectionniste du VCQ-ATM entièrement matérielle qui évite l'utilisation de processeurs centraux, une implantation connectionniste étant un système constitué d'un grand nombre d'éléments de traitement et d'enregistrement interconnectés dans un parallélisme coopératif.