

An approach for redesign for testability at the register-transfer level

Une approche de redesign pour la testabilité au niveau du transfert des registres

Haidar M. Harmanani and Salam Harfoush*

This paper presents a new approach for redesign for testability at the register-transfer level (RTL). The method identifies hard-to-test parts in RTL designs that were synthesized, either manually or automatically, using a high-level synthesis tool. The design is modified by inserting additional registers that are active during test mode. The insertion process is followed by a test selection process that uses functional test metrics in order to minimize test overhead. Finally, test scheduling is performed in order to minimize the overall test time and the number of test sessions. The system outputs a VHDL description of the resulting testable data path along with the test plan.

Cet article présente une approche pour le redesign en vue de la testabilité au niveau des transferts de registres (RTL). Cette approche identifie, de manière manuelle ou automatique, les parties difficiles à tester au niveau RTL à l'aide d'un outil de synthèse de haut niveau. Le design est modifié en ajoutant des registres additionnels qui sont actifs en mode de test. L'étape d'addition de registres est suivie par un processus de sélection de test basé sur des métriques fonctionnelles dans le but de minimiser la charge imposée au processus de test. Finalement, un ordonnancement des tests est effectué dans le but de minimiser le temps total de traitement de même que le nombre de sessions de test. Le système fournit en sortie une description VHDL du parcours de test de même qu'une description de la stratégie de test.

*The authors are with the Department of Computer Engineering and Science, Lebanese American University, P.O. Box 36, Byblos, Lebanon.