

A novel low-power embedded memory architecture for MPEG-4 applications with mobile devices

Une nouvelle architecture de mémoire embarquée à faible puissance pour les applications MPEG-4 sur des dispositifs portables

Mohammed Sayed and Wael Badawy

This paper presents an embedded memory architecture for MPEG-4 video object prediction with mobile applications. The proposed architecture stores video frame and motion vectors, then computes in memory the predicted frame, which generates the MPEG-4 video sequence. The proposed embedded memory architecture uses texture mapping with affine transformation for mesh-based MPEG-4 video object prediction. A multiplication-free algorithm is used to simplify the affine transformation computations. The affine transformation computations are distributed on parallel processing elements to facilitate handling of the computational complexity of the affine transformation and to meet the real-time requirements of video streaming. Furthermore, power-consumption reduction is achieved by using embedded memory instead of off-chip memory and by parallel implementation. The embedded memory is optimized for parallel reading and writing operations. The proposed architecture does texture mapping with rate N pixels per memory read/write cycle, where N is the number of memory blocks. The memory architecture is prototyped, simulated and synthesized for $0.35 \mu\text{m}$ CMOS technology using TSMC standard cells. The synthesized prototype takes up an area of 21 mm^2 and consumes 288 mW of power.

Cet article présente une architecture de mémoire embarquée pour la prédiction des objets vidéo en MPEG-4 pour les applications mobiles. L'architecture proposée emmagasine les vecteurs des trames vidéo et les vecteurs de mouvement et calcule ensuite la trame prédite en mémoire, ce qui génère la séquence vidéo MPEG-4. L'architecture proposée utilise la projection de texture avec transformation affine pour la prédiction d'objets vidéo avec une approche basée sur les treillis de MPEG-4. Un algorithme sans multiplications est utilisé pour simplifier la transformation affine. Les calculs de la transformation affine sont répartis sur des éléments de traitement parallèle pour réduire la complexité algorithmique et pour satisfaire les contraintes de temps réel des transmissions vidéo. De plus, la faible consommation de puissance est atteinte grâce à la mémoire embarquée plutôt que de la mémoire périphérique de même que par une implantation parallèle. La mémoire embarquée est optimisée pour favoriser la lecture et l'écriture en parallèle. L'architecture proposée réalise la projection de texture avec un taux de N pixels par cycle d'écriture/lecture en mémoire où N est le nombre de blocs mémoire. L'architecture de la mémoire est prototypée, simulée et réalisée pour la technologie CMOS $0.35 \mu\text{m}$ avec des cellules standards TSMC. Le prototype occupe une aire de 21 mm^2 et consomme 288 mW de puissance.