ABSTRACT – CAN. J. ELECT. COMPUT. ENG., VOL. 27, NO. 4, OCTOBER 2002, PP. 177–181

A modulus replication complex adaptive filter IP core

Un filtre adaptatif complexe de réplication de module pour un noyau de PI

A. Garg, G.A. Jullien, G.H. McGibney, and J.W. Haslett

In this paper the modulus replication residue number system (MRRNS) is used to design a high-throughput multirate equalizer for an asymmetrical wireless LAN, where all of the equalization functions are carried out in the base station. The MRRNS mapping technique allows the implementation of parallel and independent channels computing complex arithmetic over finite fields with moduli of 17 and 257. The channels are built as linear systolic arrays using a basic finite-field index calculus and conversion processor; the same processor is also used for the input and output mapping. The processor is defined as a hard intellectual property (IP) block in the target technology, with module generators to build the maps and filter channels. In this paper the authors briefly discuss the mathematical technique used, the basic structure of the processor block and the firm IP generation techniques, and the architectural advantages that the system provides for system-on-chip applications.

Cet article utilise un système de résidus de nombres de réplication de module (MRRNS) pour concevoir un égalisateur à cadences multiples à haute performance pour un réseau sans fil asymétrique dans lequel toutes les fonctions d'égalisation s'exécutent sur la station de base. La technique de mappage MRRNS permet l'implémentation de canaux parallèles indépendants calculant en arithmétique complexe sur des champs finis avec des modules de 17 et 257. Les canaux sont construits comme des matrices systoliques linéaires utilisant un calcul avec index à champ fini et un processeur de conversion; le même processeur sert aussi au mappage d'entrée-sortie. Le processeur est défini comme un block dur de propriété intellectuelle (PI) dans la technologie cible avec des générateurs de modules pour construire les cartes et les canaux de filtrage. Cet article décrit l'approche mathématique employée, la structure de base du block de traitement et les techniques de génération de PI, de même que les avantages que le système procure aux applications de systèmes sur une puce.

Keywords: adaptive FIR filters, computer arithmetic, modulus replication, system-on-chip, IP cores, wireless networks