Circuito Integrado Programable para el Conteo de Gotas en Suero

A. E. Arelovich, P. D. Pareja Obregón, *IEEE Student Member*, M. Di Federico[†], P. Julián[†], *IEEE Senior Member*, P. S. Mandolesi[†] *IEEE Member*

Dto. Ing. Eléctrica y Computadoras, Universidad Nacional del Sur, Av. Alem 1253, Bahía Blanca (8000) - Argentina

***Resumen*—Este trabajo es la realización de un circuito integrado cuya finalidad consiste en el conteo del goteo por minuto de un suero como el utilizado normalmente para el cuidado de la salud. El mismo se implementó utilizando lógica digital en tecnología CMOS estándar de 1.5 mm.**

***Abstract*—This work is the realization of an integrated circuit that is intended to count drops per minute of an IV such as the ones normally used in health care. The IC was implemented using standard CMOS digital logic technology of 1.5 mm.**

I. INTRODUCCIÓN

Este ensayo fue realizado a partir de la necesidad de los hospitales locales de contar con un medio para controlar de forma eficiente la dosificación del suero intravenoso en sus pacientes, en el marco de la materia Análisis y Diseño de Circuitos Digitales de la Universidad Nacional del Sur.

Actualmente no existen dispositivos para cuantificar la dosificación de suero intravenoso a pacientes internados. Dicha cuantificación queda a cargo de una enfermera, que la realiza a intervalos regulares. Sin embargo este método es muy poco preciso ya que cualquier movimiento por parte del paciente cambia la presión sobre el suero, lo que modifica la velocidad de goteo. En contraste con el método anterior dicho conteo se puede realizar de forma automática, relevando los datos obtenidos a un ordenador.

Desde un principio la idea que surgió fue detectar la ocurrencia de una gota mediante la interrupción de un haz emitido por un diodo infrarrojo que incidía sobre un fotodiodo receptor. Esto generaría un pulso que, luego de ser acondicionado, serviría como entrada a nuestro circuito integrado. Uno de los problemas que surgieron durante el diseño fue el hecho que para saber el goteo del suero se necesitaba medir un rango de frecuencias de ocurrencia muy amplio, lo que introducía mucho error en la medición. Para solucionar esto se decidió incorporar una entrada de programación para seleccionar altas o bajas frecuencias de goteo. Finalmente teniendo en cuenta un máximo de 150 gotas por minuto se decidió utilizar un formato de 8 bits para el resultado de salida, lo que permite un rango de 255 valores.

II. TECNOLOGÍA

El circuito integrado se implementó en un proceso n-well CMOS estándar de 1.5µm (λ=0.8µm), con 2 capas de metal y 2 capas de polisilicio. Todos los transistores implementados son de tamaño mínimo, siendo los PMOS de 8µm x 1.6µm (W=10, L=2) y los NMOS de 4.8µm x 1.6µm (W=10, L=2).

III. DESCRIPCIÓN

En la Fig. 1 se presenta un esquema general de las diversas funciones que debe implementar el circuito integrado, cuya secuencia de funcionamiento se describe a continuación. La ocurrencia de una gota es detectada en el circuito por un pulso que llega a un pin digital de entrada dedicado a tal fin, acondicionado únicamente en sus valores de tensión. La etapa de filtrado de la señal debe asegurar entonces que por cada gota sólo se cuente un único pulso, ya que con cada gota pueden suceder datos espurios. La detección de un pulso válido incrementará la cuenta de un contador. En forma paralela a este proceso se realiza una reducción de la base de tiempos mediante un divisor de frecuencias, compuesto por una cadena de contadores. La reducción de la base de tiempos busca disminuir la frecuencia de un reloj de 32Khz a 1Hz. La salida del divisor de frecuencias es la entrada a un segundo contador que

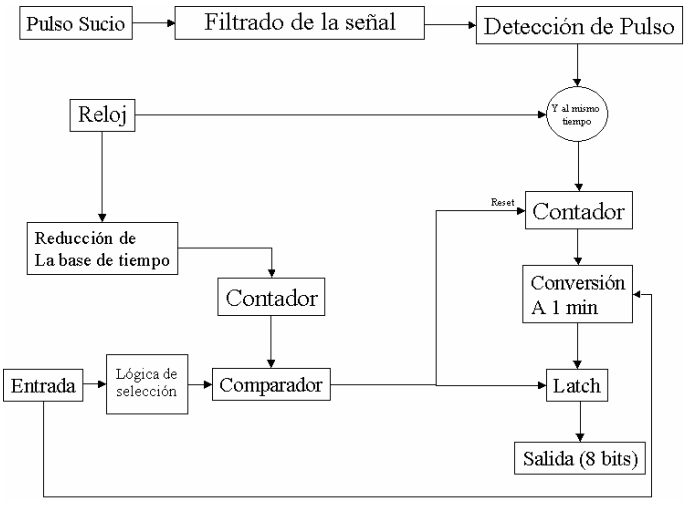

Fig. 1: Diagrama general

[†] Docentes. P. Julián está afiliado con CONICET; P. S. Mandolesi está afiliado con CIC Pcia. Bs. As.

cuenta 15 segundos o 2 minutos de acuerdo a la entrada de un pin de selección. Este mismo pin de selección se utiliza para convertir apropiadamente la cantidad de gotas detectadas hasta el momento, en gotas por minuto. Para esto, si se están contando 15 segundos se multiplicará la salida del contador de pulsos por 4 y si se están contando 2 minutos se dividirá por 2. Finalmente, la salida de esta conversión se guarda en un latch de 8 bits que se actualiza cada 15 segundos o 2 minutos, dependiendo del modo de trabajo del circuito, siendo su salida el valor de la cantidad de gotas por minuto final. El mismo pulso que se utiliza para guardar la cuenta de gotas en el latch se utiliza para reiniciar el contador de las mismas y comenzar el proceso nuevamente.

IV. Desarrollo de las diversas etapas

A continuación se describen con mayor detalle cada una de las etapas anteriores.

A. Etapa de Filtrado

El filtro utilizado es una máquina de estados que cuenta una determinada cantidad de ceros, seguida por una cantidad mínima de unos y de esta forma se asegura que no se interprete un pulso con ruido como dos gotas. Para determinar la cantidad de ceros y unos a contar se realizaron mediciones sobre la salida producida por una gota de agua que interrumpe el haz de un diodo emisor. El haz del diodo emisor incide sobre un fotorreceptor y su interrupción se convierte, mediante un amplificador, en un pulso de tensión. En la Fig. 2 se puede observar una de las mediciones realizadas de la forma anteriormente descripta. De esta forma se determinó que como mínimo se debe detectar la señal de entrada durante 1ms en estado lógico bajo y 1.5ms en estado lógico alto, para asegurar la ocurrencia de una gota. Esto sin embargo implica contar una cantidad excesivamente grande de pulsos de reloj. Para solucionar este problema se utiliza como segunda entrada a la máquina de estados una de las instancias intermedias del divisor de frecuencias. Específicamente se utiliza aquel contador cuya salida provee pulsos con un período de 500µs. De esta forma, si se cuentan dos ocurrencias de pulsos mientras la señal de entrada está en cero y luego otros 3 pulsos mientras la señal se encuentra en uno, se emite un pulso de duración un período de reloj.

La secuencia lógica que debe seguir el filtro se describe en el diagrama de estados de la Fig. 3. Como el número total de estados es siete, se necesitan tres bits (x1, x2, x3) para caracterizarlos, es decir tres flip-flops. Para llegar a las ecuaciones de estado se asignó un número binario de tres bits a cada estado y se realizó la tabla de transiciones. Luego de realizar una minimización de términos se llegó al siguiente conjunto de ecuaciones. El superíndice $^+$ indica que se trata del próximo estado de la variable.

$$x_1^+ = x_2.x_3*p*.e* + x_1.x_2.x_3* + x_1.x_2.e + x_1.p.e + x_2.x_3.e \quad (1)$$

$$x_2^+ = x_2.x_3*.e* + x_3*.p.x_1*.e* + x_2.x_3.e + x_3.p.x_1*.e + x_1.x_2.x_3*.p* \quad (2)$$

$$x_3^+ = x_3.e + p*.x_1.x_2* \quad (3)$$

B. Contadores

Para hacer los múltiples contadores que se requieren en el circuito se realizó un bloque genérico de un contador de 1bit en cascada. Para dicho contador se utilizó un flip-flop tipo D, una compuerta XOR y una compuerta AND, tal como se muestra en la Fig. 4. La compuerta XOR se utiliza como negadora programable. Si el bit anterior está en uno entonces el estado próximo deberá ser el estado actual negado. En el caso del primer bit de todos, se toma el bit anterior como la entrada al contador. La compuerta AND indica que tanto el bit anterior como el del contador propiamente dicho están en uno y esto sucede sólo cuando todos los bits anteriores están en uno. Esto implica que el bit siguiente deberá transicionar en el próximo pulso de reloj.

Como se puede observar en el diagrama de la Fig. 4, cada contador está compuesto por dos entradas: reloj, entrada a contar o bit anterior. A su vez se disponen dos salidas, la salida de la compuerta and o entrada al bit siguiente y la salida del flip-flop o bit actual. Por lo tanto, para crear un contador de n bits se conectan las salidas de cada compuerta AND a las entradas de cada bloque posterior. El número contado está dado por las salidas de los n flip-flops. En la Fig. 5 se puede observar el

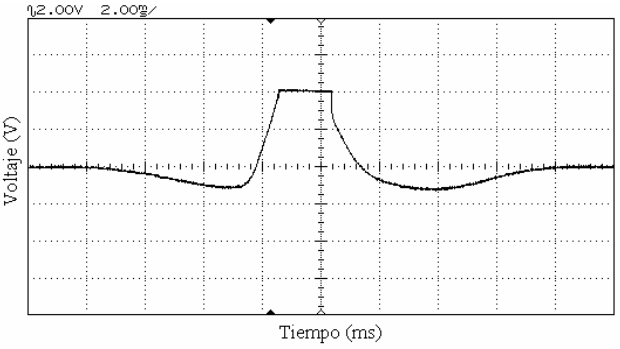

Fig. 2: Una de las mediciones realizadas sobre las gotas

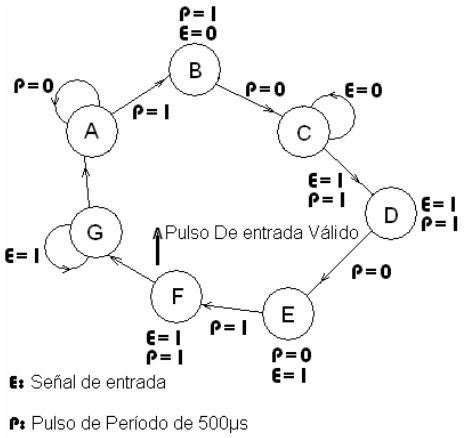

Fig. 3: Diagrama de estados de la etapa de filtrado

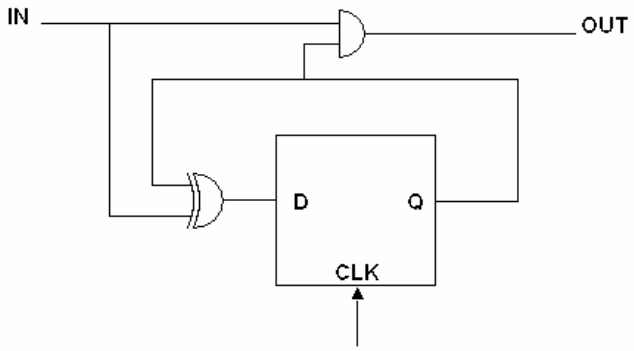

Fig. 4: Contador de un bit

layout del contador de un bit.

En el divisor de frecuencias el pulso a contar es el propio reloj. En consecuencia el primer bit de la cadena (bit 0) se debe conectar a la tensión de alimentación, para así lograr transicionar con todos los pulsos de reloj. Como se debe dividir la frecuencia de 32Khz a 1Hz, se utiliza en dicha etapa un contador de 15 bits. Tanto para el contador de pulsos de ocurrencia de gotas como para el contador de 15 segundos o 2 minutos se utilizaran contadores de 8 bits. El layout del divisor de frecuencias se muestra en la Fig. 6 donde se puede observar que los contadores de un bit diseñados permiten colocar tantos de ellos como se desee en cascada para formar un contador.

C. Etapa de conversión a un minuto

Como se mencionó anteriormente la salida del contador de pulsos de gotas debe ser multiplicada por 4 o dividida por 2, dependiendo del modo de trabajo del circuito, para mostrar a la salida la cantidad de gotas por minuto medida. Como ambas operaciones se realizan sobre un número binario el problema se reduce a agregar 2 ceros como bits menos significativos si se está multiplicando por 4, o despreciar el bit menos significativo y desplazar todos los bits un lugar si se está dividiendo por 2. La implementación de lo anterior se realiza mediante la conexión de multiplexores que tienen como entrada la salida del contador de pulsos de gotas y como selección el valor del pin de programación.

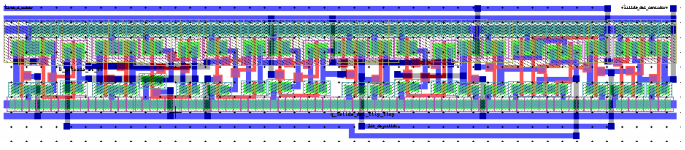

Fig. 5: Layout de un contador de 1 bit

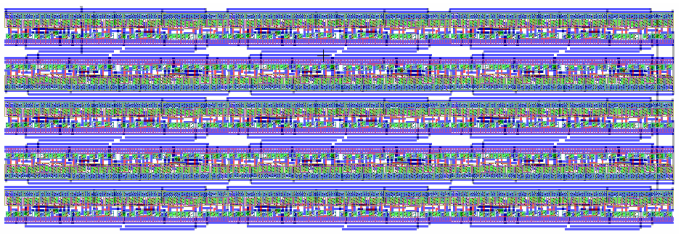

Fig. 6: Layout del divisor de frecuencias

D. Lógica de selección

Es la encargada de decidir si se deben contar 15 segundos o dos minutos antes de guardar el dato en el latch de salida.
Para reconocer el momento en el que el contador de 8 bits a la entrada del comparador llega al valor indicado se utilizan 2 compuertas nand de cuatro entradas. Una de ellas abarca los 4 bits menos significativos para indicar que el conteo llegó a 15 segundos y la segunda los cuatro bits más significativos para indicar la ocurrencia de 120 segundos. En esta etapa hay además una máquina secuencial cuyo diagrama de estados se puede observar en la Fig. 7. La función de dicha máquina de estados es detectar la transición de 1 a 0 de las salidas de las compuertas NAND, emitir un pulso de un período de reloj de duración y esperar a que su entrada vuelva a 1. El pulso emitido reiniciará el contador de pulsos de gotas y comenzará nuevamente todo el proceso. Es importante tener en cuenta que la salida del latch se mantendrá con el último valor medido, actualizándose cada 15 segundos o dos minutos. Las ecuaciones de próximo estado obtenidas a partir del diagrama de la Fig. 7 se muestran a continuación. En la Fig. 8 se observan los resultados simulados de esta etapa. La onda inferior representa la entrada a la etapa con un período de 1 segundo, mientras que la onda superior es la salida de la etapa propiamente dicha. En esta ocasión el diagrama tiene solo tres estados, por lo tanto son necesarios 2 bits para caracterizarlos (x_1, x_2). Las ecuaciones de estado se detallan a continuación:

$$x_1^+ = señal^*.x_2 + x_1^*.x_2 \quad (4)$$

$$x_2^+ = x_1^*.x_2 + señal^* \quad (5)$$

Finalmente en la Fig. 9 se muestran las interconexiones entre las diversas etapas.

V. DESCRIPCIÓN DE LAS ENTRADAS Y SALIDAS

El circuito integrado se implementó en un encapsulado DIP 40, del cual se utilizaron 14 patas. Para conectar cada una de las patas utilizadas al circuito integrado se utilizaron diversos pads, los cuales difieren según la función de la entrada en particular. Entre los pads usados en nuestro circuito podemos encontrar:

Vdd para los pads: su función es proveer alimentación a los inversores y buffers que componen el resto de los pads;

Vdd general: este pad es el que provee alimentación a nuestro circuito;

Gnd: es el pad que conecta la tierra al circuito y el resto de los pads;

Pads de entrada: este pad corresponde a las entradas digitales al circuito;

Pads de salida: este pad corresponde a las salidas del circuito.

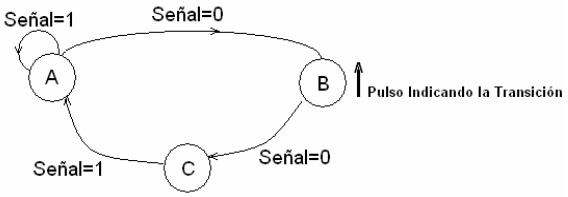

Fig. 7: Máquina de estados de la lógica de selección

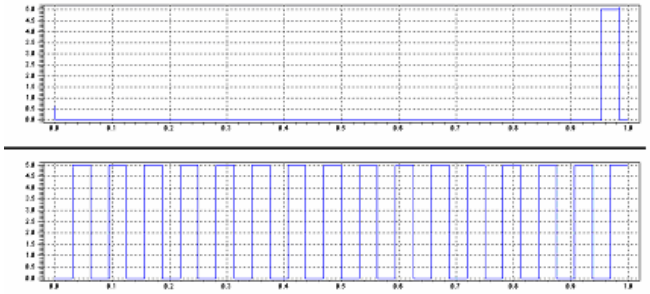

Fig. 8: Simulación de la etapa de la lógica de selección

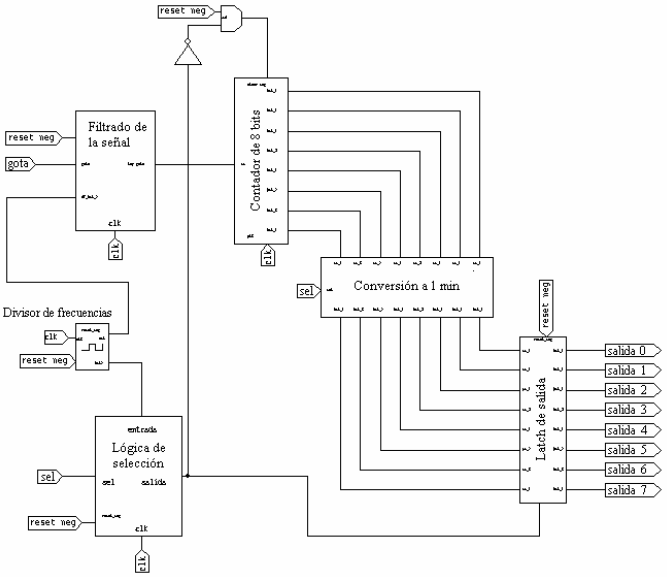

Fig. 9: Interconexiones entre las diversas etapas

Las entradas y salidas finales de nuestro circuito fueron:

Vp: Alimentación para los pads;

Vdd: Alimentación para el circuito;

Gnd: Tierra del circuito;

Clk: Entrada del reloj de 32 Khz;

Gota: Entrada que indica la ocurrencia de una gota;

Sel: Entrada de programación para seleccionar la modalidad de trabajo. En 0 indica que el circuito contará 15 segundos y promediará para arriba. En 1 indica que el circuito contará 2 minutos y promediará para abajo;

Out 0/7: Salidas del circuito. Indican el número de gotas por minuto en formato binario.

En la Fig. 10 se muestra el layout final del circuito integrado, incluyendo los pads utilizados para la conexión del circuito con las patas del encapsulado.

En la Tabla 1 se muestra el área utilizada por cada parte del circuito, así como la cantidad de transistores utilizados.

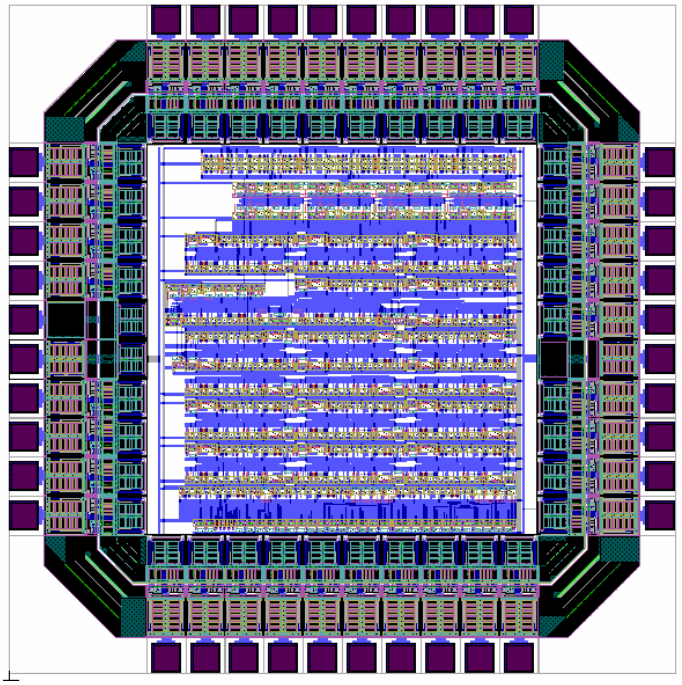

Fig. 10: Layout final del circuito

	Trans	W		H		Área
		λ	µm	λ	µm	mm²
Flip Flop	33	324,5	259,6	69	55,2	0,014
Contador 1 bit	51	451	360,8	82	65,6	0,024
Contador 8 bits	408	1353	1082,4	246	196,8	0,21
Filtrado	337	1374,5	1099,6	192,5	154	0,17
Divisor de frec.	754	1351	1080,8	446,5	357,2	0,39
Lógica de sel.	527	1433	1146,4	379	303,2	0,35
Chip total	4149	2720	2176	2720	2176	4,73

Tabla 1: Transistores y áreas utilizadas

VI. Conclusiones

En este trabajo se desarrollaron y aplicaron los diversos conceptos adquiridos en la materia Análisis y Diseño de Circuitos Digitales relativos al diseño de circuitos en alta escala de integración (VLSI). En particular se abordó una problemática local, tratando a su vez de mostrar al mercado que las aplicaciones de esta tecnología son factibles a nivel nacional.

Referencias

[1] Neil H. E. Weste and Kamran Eshraghian “Principles of CMOS VLSI design”, Adison Wesley EEUU, 1993.

[2] Jan M. Rabaey, Anantha Chandrakasan and Borivoje Nikolic “Digital Integrated Circuits”, Second Edition, Prentice Hall, 1996.

[3] Koyanagi M. Kurino, H, Kang Wook Lee Sakuma, K. Miyakawa and N. Itani “Future system-on-silicon LSI chips”, Micro, IEEE, Jul/Aug 1998 Vol. 18, Issue 4, pp. 17-22.