ABSTRACT – CAN. J. ELECT. & COMP. ENG., VOL. 26, NO. 2, APRIL 2001, PP. 55–59

Design of a multilevel DRAM with adjustable cell capacity

Conception d'une mémoire DRAM multi-niveaux à capacité de cellule ajustable

Yunan Xiang, Bruce F. Cockburn, and Duncan G. Elliott*

A multilevel DRAM (MLDRAM™) increases the per-cell storage capacity over conventional DRAM by using more than two cell signal levels. The key challenge when designing an MLDRAM is to ensure reliable operation using the more closely spaced signal levels despite the presence of on-chip noise and the inevitable small variations in circuit parameters that occur in integrated circuit (IC) production. This paper describes a circuit architecture that implements an inherently balanced and robust MLDRAM scheme proposed by Birk et al. [6]. The design has an adjustable cell capacity that can be selected from among 1, 1.5, 2 and 2.5 bits per cell. Fractional bits arise when groups of two or more cells are considered together. Thus if each cell in a pair stores one of six possible levels, then each cell has a capacity of 2.5 bits. The test chip implementation of our design should facilitate experimental characterization of the proposed MLDRAM scheme.

Une mémoire DRAM multi-niveaux (MLDRAM) augmente la capacité de stockage par cellule par rapport à la mémoire DRAM classique grâce à l'utilisation de plus de deux niveaux de signaux par cellule. Le défi lors de la conception d'une mémoire MLDRAM est d'assurer un fonctionnement fiable en utilisant des niveaux de signal plus rapprochés malgré la présence de bruit et les faibles variations des paramètres opérationnels du circuit qui surviennent dans la production de circuits intégrés (IC). Cet article décrit une architecture de circuit qui implante l'approche implicitement équilibrée et robuste proposée par Birk et al. [6]. Le design possède une capacité de cellule ajustable de 1, 1.5, 2 et 2.5 bits par cellule. Les bits fractionnels surviennent lorsq'un groupe de deux cellules ou plus est pris en compte. Par conséquent, si une cellule dans une paire stocke un niveau parmi six alors, chaque cellule possède une capacité de 2.5 bits. Le circuit de test de notre design MLDRAM devrait faciliter la caractérisation de l'approche adoptée.

*The authors are with the Department of Electrical and Computer Engineering, University of Alberta, Edmonton, Alberta T6G 2G7. E-mail: {ynxiang,cockburn,elliott}@ee.ualberta.ca. This paper is a slightly revised version of a paper that was awarded third place in the Student Paper Competition at the Canadian Conference on Electrical and Computer Engineering 2001. This work was supported by Micronet R & D, by MOSAID Technologies Inc., and by the Natural Sciences and Engineering Research Council of Canada. MLDRAM is a trademark of MOSAID Technologies Inc.