

# Architecture of a fast Internet switch on chip

## Architecture d'un commutateur Internet rapide sur une puce

Nader F. Mir\*

This paper presents the use of system-on-chip (SoC) technology for wide-area switching networks and proposes a switching architecture specifically designed for SoC. SoC is particularly useful for switching networks since the interconnection lengths are minimized when a partial or entire network is laid out on a single chip. A defect-tolerant multipath buffered crossbar with an expandable structure that can easily be scaled up or down according to the choice of chip size is proposed. The architecture is evaluated from different standpoints such as performance, defect tolerance, delay, testability, complexity, yield, and area.

Cet article présente une application de la technologie des systèmes sur une puce (SoC) au domaine des réseaux commutés étendus (WAN) et propose une architecture de commutation conçue spécialement pour un SoC. L'approche SoC est particulièrement utile pour les réseaux commutés parce que la longueur des interconnexions est minimisée lorsqu'une partie de réseau ou un réseau complet est intégré sur une même puce. L'article propose entre autres une structure de crossbar multi-voies avec tampon tolérante aux défauts capable de s'adapter aux dimensions de la puce. L'architecture est évaluée sous plusieurs aspects, notamment ceux relatifs à la tolérance aux défauts, aux délais, à l'aptitude aux tests, à la complexité, au taux de production, et à la surface.

---

\*The author is with the Department of Electrical Engineering, San Jose State University, San Jose, Calif. 95192, U.S.A. E-mail: nmir@email.sjsu.edu. This work has appeared in part in the *Proceedings of Joint Meeting of 5th World Multi-Conference on Systemics, Cybernetics and Informatics (SCI'01)* and *7th International Conference on Information Systems Analysis and Synthesis (ISAS'01)*, Orlando, Fla., July 22–25, 2001.