

Efficient SoC design with homogeneous processor arrays

Conception efficace de systèmes sur puce avec des grilles homogènes de processeurs

M. Zajc, R. Ser nec, and J. Tasič*

The system-on-chip (SoC), all-in-one approach to parallel digital signal processing, combining the homogeneous processor array with large amounts of data memory, is expected to be the core of future embedded digital signal processing applications. In this paper two radical approaches to efficient system-on-chip design with homogeneous processor arrays are presented for real-time applications. Two novel techniques to enhance the throughput of the SoC designed systolic arrays are proposed. A systolic array control mechanism based on very long instruction word (VLIW) principles is presented, and a proposal is given for simultaneous execution of independent algorithm data sets, or even different algorithms, on the programmable systolic array, multithreaded systolic computation. Simulation results of the multithreading approach, based on a set of linear algebra algorithms, are presented.

Les futures applications de traitement parallèle du signal de type “systèmes sur puce” (SSP) embarqués dépendront largement des grilles homogènes de processeurs couplées à des grandes banques de mémoire. Cet article présente deux approches pour la conception efficace de “systèmes sur puce” exploitant des grilles homogènes de processeurs dans un contexte d’applications en temps réel. Deux approches nouvelles pour l’amélioration du flux de données du SSP avec grilles systoliques sont proposées. Un mécanisme de contrôle de grilles systoliques basé sur le principe des codes d’instructions très longs est présenté et nous proposons également une approche pour l’exécution simultanée d’algorithmes sur des ensembles de données différents, mais également d’algorithmes différents, sur la grille systolique programmable avec brins multiples. L’article présente des résultats de simulation de l’approche multi-brins basée sur un ensemble d’algorithmes d’algèbre linéaire.

*The authors are with the Digital Signal Processing Laboratory, Faculty of Electrical Engineering, University of Ljubljana, Ljubljana, Slovenia. E-mail: matej.zajc@fe.uni-lj.si.