

Well-level control technique for low-power voltage operation

Une approche de commande au niveau des puits pour une utilisation à bas voltage

Kazuhisa Suzuki, Toshiro Takahashi, Yasuhiro Fujimura,
Kazuhito Nagashima, and Yasushi Tainaka*

A well-level control technique that compensates for process fluctuations has been developed for the deep-submicron and low-power voltage LSI. This technique optimizes the PMOS threshold voltage by controlling the N -well voltage level. A 10-bit serializer and deserializer was operated at over 2.4 GHz with only a small sub-threshold leakage current.

Une approche de commande au niveau des puits compensant les variations du procédé a été développée pour les circuits LSI submicron à faible voltage. Cette approche optimise le voltage de seuil PMOS en commandant le niveau de voltage du puits N . Un circuit de sérialisation et de désérialisation à 10 bits opéré au delà de 2.4 GHz ne démontre qu'un seuil faible de courant de fuite.

*The authors are with the Device Development Centre, Hitachi Ltd.,
6-16-3 Shinmachi, Ome-shi, Tokyo 198-8512, Japan.