

A reconfigurable architecture for DSP system-on-chip

Une architecture maléable pour les systèmes DSP sur une puce

Lan-Rong Dung, Yen-Lin Lee, and Chun-Ming Wu*

Digital signal processing (DSP) has been moving into the era of system-on-chip (SoC) design. Yet, the development of SoC architectures is rather intellectual-property (IP) -based and presents several challenges to designers, notably in the transformation of algorithms and the integration of IP cores. Thus, this paper employs Petri nets to model the DSP algorithms and presents a novel architecture for rapid design of digital signal processing. The architecture features a reconfigurable scheduler to dynamically schedule DSP operations onto processing elements and, thus, tolerates nondeterministic latencies of operations due to communication overhead and memory caching. Using the architecture, the designer can seamlessly plug in different IP cores to explore the alternative solutions and upgrade the architecture by reconfiguring the scheduler.

Le domaine du traitement numérique du signal tend vers le design de systèmes sur une puce (SoC). Cependant, le développement d'architectures SoC repose largement sur une approche IP et présente plusieurs défis aux concepteurs, notamment en ce qui concerne la transformation des algorithmes et l'intégration des modules IP. Cet article utilise les réseaux de Pétri pour modéliser les algorithmes DSP et présente une nouvelle architecture pour la conception rapide de circuits de traitement numérique du signal. L'architecture repose sur une unité d'ordonnancement reconfigurable qui permet de céduer les opérations de DSP sur les unités de traitement ce qui permet de tolérer des latences non-déterministes d'opérations causées par les délais de communication et les accès de mémoire cache. Grâce à cette architecture, le concepteur peut connecter plusieurs modules de traitement IP de façon transparente, permettant ainsi d'explorer plusieurs solutions différentes et d'améliorer l'architecture par une reconfiguration de l'unité d'ordonnancement.

*The authors are with the Department of Electrical and Control Engineering, National Chiao Tung University, Hsinchu, Taiwan, R.O.C.
E-mail: lennon@cn.nctu.edu.tw