

An embedded DRAM macro architecture for system-on-chip

Une architecture de macro DRAM pour un système sur une puce

Toshio Sunaga, Kohji Hosokawa, Shinpei Watanabe, and Masaya Mori*

A new DRAM architecture for embedded applications is proposed to achieve high data rates at random row-address accesses. Without page-like access mode, it activates a small block of memory arrays. Automatic precharge (which is done after prefetching of read data or writing of all data to cells at one time) and the small array activation shorten cycle time to enhance random row-address access performance. A self-timed control circuit in the small array block causes each block to operate independently. In a 16-Mb DRAM macro, circuit simulation based on a 0.18- μm DRAM process technology shows that the cycle time of the small cell array block can be shortened to 16 ns. The block can accept row-address access commands at every 4-ns interval using the small cell array blocks as independently accessible units. At a 250-MHz clock, the macro with a 128-bit read bus and a 128-bit write bus provides a data rate of 8 GB/s in consecutive simultaneous read and write operations in random row-address accesses.

Cet article propose une nouvelle architecture DRAM pour des applications embarquées atteignant un haut débit de données avec accès aléatoire sur les rangées d'adresses. Dépourvue d'un mode d'accès par page, l'architecture proposée active un bloc de faibles dimensions de tableaux de mémoire. Un pré-chargement automatique (effectué en une seule opération après la lecture ou l'écriture des données) et l'activation du bloc de données de faibles dimensions réduit le cycle opératoire pour améliorer les performances d'adressage aléatoire sur les rangées d'adresses. Un circuit de contrôle autosynchronisé individuel permet aux blocs de fonctionner indépendamment. Dans une macro de 16 Moctets, les simulations basées sur une technologie DRAM à 0.18 μm montrent que le cycle opératoire d'un bloc peut être réduit à environ 16 ns. Un bloc peut recevoir des commandes d'accès aux rangées d'adresses à chaque 4 ns en utilisant les blocs de tableaux de mémoire comme des unités individuelles. Avec une horloge cadencée à 250 Mhz, une macro avec un bus de lecture de 128 bits et un bus d'écriture de 128 bits offre un débit de données d'environ 8 Goctets en accès consécutifs simultanés de lecture et d'écriture sur les rangées d'adresses.

*Toshio Sunaga and Kohji Hosokawa are with Yasu Technology Application Laboratory, IBM Japan Ltd., 800 Ohaza Ichimiyake, Yasu-chou, Yasu-gun, Shiga-ken, Japan, 520-2392. Shinpei Watanabe and Masaya Mori are with the Display Business Unit, IBM Japan Ltd., 1623-14 Shimotsuruma, Yamato-shi, Kanagawa-ken, Japan, 242-8502.