

HW/SW co-simulation for fast design-space exploration of multiprocessor embedded systems

Simulation conjointe matériel/logiciel pour l'exploration rapide de l'espace de design pour les systèmes embarqués multiprocesseurs

William Fornaciari, Luigi Pomante, Fabio Salice, and Donatella Sciuto*

A crucial problem in designing multiprocessor embedded systems is the possibility of efficiently comparing the timing behaviour of different system configurations to select, during the early stages of the design process, a suitable trade-off between performance and cost. The goal of the paper is to present a timing system-level simulation strategy allowing the user to simulate, in a flexible and effective manner, a multiprocessor embedded architecture such that the impact of modifying the main configuration issues of the overall system can be evaluated. The relevant aspects a user can inspect to explore the design space concern the communication architecture, the process-scheduling policy and the type of the processing elements. The value added by the proposed simulation strategy is the possibility of validating the behaviour of the overall systems while exploring the design space, considering aspects of both hardware/software and software/software partitioning. The methodology has been implemented and it currently supports the partitioning step in an existing hardware/software co-design environment.

Un problème critique propre à la conception de systèmes embarqués multiprocesseurs est de comparer efficacement la synchronisation des différentes configurations possibles afin de choisir un compromis acceptable entre les performances et le coût le plus tôt possible dans le processus de design. Cet article présente une approche pour l'analyse de synchronisation au niveau système qui permet à l'utilisateur de simuler facilement et efficacement une architecture de système embarqué et d'évaluer l'impact de modifier la configuration des blocs principaux du système complet. Les principaux aspects qui peuvent être explorés par l'utilisateur sont notamment l'architecture de communication, la politique d'ordonnancement et le type des éléments de traitement. La valeur ajoutée de la stratégie est de permettre de valider le comportement du système complet en explorant l'espace de design et la compartimentation matériel/logiciel et logiciel/logiciel. La méthodologie proposée a été implantée et supporte l'étape de compartimentation dans un environnement de co-design matériel/logiciel.

*The authors are with the Politecnico di Milano, Dip. Elettronica e Informazione, P.zza L. da Vinci, 32, 20133 Milano, Italy.