ABSTRACT – CAN. J. ELECT. COMPUT. ENG., VOL. 27, NO. 2, APRIL 2002, PP. 83–87

Constructing testable differential pass-transistor logic circuits

Construction de circuits avec capacité de test pour la logique différentielle *pass transistor*

A. Jaekel*

Differential pass-transistor logic (DPTL) circuits have demonstrated significant power-delay advantages over conventional CMOS logic circuits. They also offer effective noise immunity by structural means rather than requiring large signal swings. They are particularly suitable for the design of high-speed iterative arithmetic circuits. In this paper a new decision-diagram-based model, the 123 decision diagram (123DD), is used to construct DPTL networks. DPTL circuits based on the 123DD model have certain inherent self-checking capabilities. It is shown that all single-transistor faults in such a DPTL circuit either produce the correct output or can be detected as a result of (i) loss of complementarity at the outputs or (ii) excessive current drawn from the power supply. This property can be used to design simple, low-overhead test circuitry that allows fast, on-line detection of single faults. Although detection of all multiple faults cannot be guaranteed using only the on-line tests, many such faults are also detected by the test circuitry.

Les circuits de logique différentielle *pass transistor* (DPTL) ont depuis un certain temps démontré des avantages significatifs du point de vue du délai de puissance par rapport aux circuits logiques CMOS conventionnels. Ils offrent également une immunité au bruit efficace de par leur structure même plutôt que par l'amplitude des signaux utilisés. Ils sont particulièrement adaptés à la conception de circuits arithmétiques itératifs à haute vitesse. Cet article présente un nouveau modèle basé sur les diagrammes de décision, le diagramme de décision 123 (123DD), utilisé pour construire des réseaux DPTL. Les circuits DPTL basés sur le modèle 123DD possèdent des propriétés intrinsèques d'auto-test. Il est démontré que toutes les fautes d'un seul transistor dans un circuit DPTL produisent soit une sortie correcte ou peuvent être détectées par (i) la perte de complémentarité à la sortie ou (ii) un courant excessif demandé au bloc d'alimentation. Cette propriété peut être utilisée pour concevoir une circuiterie de test simple et peu coûteuse permettant la détection en ligne rapide de fautes uniques. Bien que la détection de toutes les fautes multiples ne peut être assurée par les seuls tests en ligne, plusieurs d'entre elles peuvent être néanmoins détectées par la circuiterie de test.

*The author is with the School of Computer Science, University of Windsor, Windsor, Ontario N9B 3P4. E-mail: arunita@uwindsor.ca