

Low-power single-bit full adder cells

Cellules d'addition complète 1-bit à faible puissance

Arash Shoarinejad, Sue Ann Ung, and Wael Badawy

The single-bit full adder is one of the main components in almost all logic structures. The performance of logic structures is highly dependent on the adder cells. This paper discusses the performance of single-bit full adders and presents a performance analysis for those cells in CMOS technology. Fourteen single-bit full adders and three new adders, a total of 17 different adder cells, are analyzed in terms of power and delay using 0.35, 0.25 and 0.18 μm TSMC CMOS technology. In addition, this paper discusses the charging-capability parameter of the adder cells, which represents the fan-out of each cell. The charging-capability parameter is capable of describing the performance of the adder cell in a large, as yet unbuilt structure. Hence, the performance analysis of the single-bit full adder relates the design to power, delay, and charging capability of the logic components.

Un additionneur complet 1-bit est une composante majeure dans presque toutes les structures logiques. Les performances de ces dernières sont liées étroitement à celles des cellules d'addition. Cet article discute des performances des additionneurs complets 1-bit et présente une analyse comparative pour la technologie CMOS. Quatorze additionneurs complets 1-bit et trois nouveaux additionneurs, pour un total de 17 cellules d'addition, sont analysés en termes de puissance et de délai en utilisant les technologies CMOS TSMC de 0.35, 0.25, et 0.18 μm . De plus, l'article étudie le paramètre de capacité de charge des cellules d'addition qui représente la capacité de sortie de chaque cellule. Ce paramètre permet de décrire la performance de la cellule d'addition dans une grande structure potentiellement non construite. Par conséquent, l'analyse de performance de l'additionneur complet 1-bit relie le design à la puissance, le délai et la capacité de charge des composantes logiques.