

A pipelined architecture for ray/Bézier patch intersection computation

Une architecture en pipeline pour le calcul de l'intersection de pièces de surfaces de Bézier

Robert R. Lewis, Renwei Wang, and Donald Hung

An algorithm for computing ray/Bézier patch intersections is described from a hardware design perspective. This algorithm uses patch subdivision and other geometrical techniques to find a given maximum number of intersection points nearest to the ray origin. A pipeline-based hardware architecture is proposed, the number of pipeline stages required is verified by simulation, and the performance of a load-balanced implementation based on a state-of-the-art digital signal processor is estimated.

Cet article décrit une approche en pipeline pour le calcul de pièces de fonctions de Bézier dans une optique de design de matériel. Cette approche utilise la subdivision des pièces de surface et autres techniques géométriques pour trouver un maximum de points d'intersection qui sont le plus près de l'origine du rayon. Une architecture matérielle en pipeline est proposée. Le nombre d'étages de pipeline requis est vérifié par simulation et la répartition de la charge de calcul basée sur un processeur DSP à haute-performance est estimée.