

## A gate duplication technique for timing optimization

## Une méthode de duplication de portes pour l'optimisation de la synchronisation

Chunhong Chen, Chiyong Tsui, and Majid Ahmadi

This paper presents a timing optimization technique based on gate duplication. The relationship between gate duplication and delay reduction is first examined, and then the notion of duplication gain for selecting good candidate gates to be duplicated is introduced. The objective is to obtain maximum circuit delay reduction with the minimum number of duplications. Experiments on benchmark circuits show that this technique leads to a significant delay improvement.

Cet article présente une méthode d'optimisation de la synchronisation basée sur la duplication de portes. La relation entre la duplication de portes et la diminution du délai est d'abord examinée et la notion de gain de duplication permettant de choisir les bonnes portes à dupliquer est présentée. L'objectif est d'obtenir la diminution maximum du délai de circuit avec un nombre minimum de duplications. Des expériences sur un banc d'essai de circuits de test montre que la méthode améliore significativement la diminution des délais.