

Introduction

The increase in the number of transistors and the complexity of application-specific integration chips (ASICs) is driving the evolution of integrated circuit design towards so-called system-on-chip (SoC) designs, i.e., a full system such as a single-chip radio. The functionalities of electronics-based systems are increasingly being embedded in the integrated circuits (microchips) which are the core elements of these products, most noticeably in the areas of communications, multimedia, and transportation. The integrated circuits are growing to system-level proportions in which several complex subcomponents, including logic, memory, numerical and signal processing, and radio frequency (RF) circuits will reside on a single chip or chip set.

SoC technology offers great functional complexity especially suitable for compact mobile applications. The shift to SoC development requires a significant paradigm adjustment in design from conventional approaches. SoC development has a number of challenges, including mixed-signal design, memory management, power consumption, hardware/software design, verification, and testing. Creating single-chip solutions to system challenges is already the target of intense research and development effort around the world. This special issue has a collection of papers that represent the challenges in SoC development and the progress made by industry and academia in solving problems associated with SoC designs. These papers are as follows:

1. Wael Badawy, "System-on-chip: Issues, challenges and trends," presents the current SoC design methodologies and reviews the progress made by industry and academia in solving problems and issues associated with SoC designs.

2. M. Zajc, R. Sernec, and J. Tasič, "Efficient SoC design with homogeneous processor arrays," presents two radical approaches for efficient system-on-chip design with homogeneous processor arrays for real-time applications. Two novel techniques are proposed to enhance the throughput of SoC designed systolic arrays. The authors present a systolic array control mechanism based on very long instruction word (VLIW) principles. Multithreading on systolic arrays is used with simultaneous execution of independent algorithm data sets, or even different algorithms, on the programmable systolic array.

3. Sethuraman Ramanathan, Rafael Peset Llopis, and Rajarathnam Chandramouli, "Low-power approach for platform-based system-on-chip designs," presents issues and research trends in the area of power estimation techniques and platform-based, low-power SoC design.

4. Kazuhisa Suzuki, Toshiro Takahashi, Yasuhiro Fujimura, Kazuhito Nagashima, and Yasushi Tainaka, "Well-level control technique for low-power voltage operation," presents a well-level control technique that compensates for process fluctuations for deep-submicron and low-power voltage LSI. The proposed technique optimizes the PMOS threshold voltage by controlling the N -well voltage level.

5. Lan-Rong Dung, Yen-Lin Lee, and Chun-Ming Wu, "A reconfigurable architecture for DSP system-on-chip," presents a novel architecture for rapid design of digital signal processing that uses Petri nets to model the DSP algorithms. The proposed architecture features a reconfigurable scheduler to dynamically schedule DSP operations onto processing elements and thus tolerates nondeterministic latencies of operations due to communication overhead and memory caching. This architecture can be plugged into different IP cores to explore the alternative solutions and upgrade the architecture by reconfiguring the scheduler.

6. M. Caldari, M. Conti, M. Coppola, M. Giuliadori, and C. Turchetti, "C++ based system-on-chip design," presents a system-level methodology based on C++ to specify and simulate block-based integrated circuits. It describes the IPSIM C++ library and the simulation tool for

L'augmentation du nombre de transistors et la complexité des circuits intégrés spécifiques aux applications (ASICs) provoquent la migration de la conception de tels circuits vers une approche de système sur une puce (SoC), c'est-à-dire un système complet, comme un appareil radio, intégré sur une seule puce. La fonctionnalité des systèmes exploitant l'électronique est de plus en plus embarquée dans des circuits intégrés (microcircuits) qui sont les composantes principales de ces systèmes, notamment dans le domaine des communications, du multimédia, et dans les transports. Les circuits intégrés sont maintenant des systèmes complets dans lesquels plusieurs composantes telles la logique de contrôle, la mémoire, le traitement du signal analogique et numérique et les circuits radio-fréquence sont maintenant incluses soit sur une puce unique ou soit sur un ensemble de puces.

Le technologie SoC offre des fonctionnalités complexes particulièrement utiles aux communications mobiles. La migration vers les SoC requiert une nouvelle approche de design qui se démarque des approches conventionnelles. Le développement de SoC présente plusieurs défis dont le design mixte, la gestion de la mémoire, la consommation de puissance, la conception matérielle/logicielle, la vérification, et le test ne sont que quelques exemples. La mise au point de systèmes intégrés sur une puce est déjà un domaine de recherche actif partout dans le monde. Ce numéro spécial présente un ensemble de contributions qui représentent les défis du design de SoC et se veut un portrait des progrès accomplis tant dans l'industrie que dans le milieu universitaire. Ces contributions sont les suivantes:

1. Wael Badawy, "Système sur une puce (SoC): problèmes, défis et tendances," présente les méthodologies actuelles de design de SoC et passe en revue les progrès accomplis dans ce domaine tant dans l'industrie que dans le milieu universitaire.

2. M. Zajc, R. Sernec et J. Tasič, "Conception efficace de systèmes sur puce avec des grilles homogènes de processeurs," présente deux approches audacieuses pour le design de SoC avec des matrices homogènes de processeurs dans un contexte de temps réel. Deux nouvelles techniques permettant d'améliorer le flux de données des matrices systoliques sont présentées. Les auteurs décrivent un mécanisme de contrôle des matrices systoliques reposant sur des principes d'instructions longues. Les brins multiples sur les matrices systoliques sont utilisés conjointement à l'exécution d'algorithmes similaires appliqués à des groupes de données indépendants et même d'algorithmes différents sur une matrice systolique programmable.

3. Sethuraman Ramanathan, Rafael Peset Llopis et Rajarathnam Chandramouli, "Une approche faible puissance pour la conception de systèmes sur puce basée sur une plate-forme," présente les problèmes et les tendances dans le domaine de l'estimation de la consommation de puissance et le design de SoC à faible consommation.

4. Kazuhisa Suzuki, Toshiro Takahashi, Yasuhiro Fujimura, Kazuhito Nagashima et Yasushi Tainaka, "Une approche de commande au niveau des puits pour une utilisation à bas voltage," présente une technique de contrôle au niveau des puits permettant de compenser les fluctuations des processus pour les circuits LSI submicron à faible tension. La méthode proposée optimise la tension de seuil PMOS en contrôlant le niveau de tension du puit N .

5. Lan-Rong Dung, Yen-Lin Lee et Chun-Ming Wu, "Une architecture maléable pour les systèmes DSP sur une puce," présente une approche nouvelle de conception de circuits de traitement numérique du signal qui modélise les algorithmes grâce aux réseaux de Petri. L'architecture comporte notamment un séquenceur reconfigurable permettant d'ordonner dynamiquement les opérations de DSP sur les unités de traitement et tolère les latences non déterministes des opérations dues aux tâches de communication et aux opérations relatives à la mémoire

both hardware IP modelling and SoC design. Moreover, several cores are presented that validate the methodology. The case of the Ethernet MAC and BBNT shows how a complex system can be modelled and simulated at an abstraction level higher than that of traditional VHDL, thus having the benefit of a higher simulation speed and a very flexible design process.

7. Wayne Luk, Tom Kean, Arran Derbyshire, Jörn Gause, Steve McKeever, Oskar Mencer, and Allen Yeow, "Parameterized hardware libraries for configurable system-on-chip technology," presents a framework, based on the Pebble language, that can be used to produce parameterized hardware libraries. Such libraries facilitate the development of user-defined hardware on the field-programmable logic to enhance the capability of the instruction processors in configurable system-on-chip designs. The libraries support parameterization of the amount of pipelining and serialization to provide implementations with different trade-offs in resource usage and performance. Also, a case study involving DES encryption for Triscend E5 devices is presented.

8. Toshio Sunaga, Kohji Hosokawa, Shinpei Watanabe, and Masaya Mori, "An embedded DRAM macro architecture for system-on-chip," presents a new DRAM architecture for embedded applications to achieve high data rates at random row-address accesses. This architecture supports no-page mode, and it activates a small 256 K cell array block for single row-address access using a segmented word-line structure.

9. William Fornaciari, Luigi Pomante, Fabio Salice, and Donatella Sciuto, "HW/SW co-simulation for fast design-space exploration of multiprocessor embedded systems," presents a timing system-level simulation strategy allowing the user to simulate, in a flexible and effective manner, a multiprocessor embedded architecture so that the impact of modifying the main configuration issues of the overall system can be evaluated. The relevant aspects a user can inspect to explore the design space concern the communication architecture, the process-scheduling policy and the type of the processing elements. Moreover, the proposed simulation strategy makes it possible to validate the behaviour of the overall systems while exploring the design space, considering aspects of both hardware/software and software/software partitioning.

10. Wael Badawy, Ashok Kumar, and Magdy Bayoumi, "A co-design methodology for high-performance real-time systems," presents a co-design methodology for real-time application that is used to implement the map overlaying operation for a high-performance real-time handheld Geographical Information System (GIS). Development of an embedded environment for attaining the high performance is achieved by implementing a computational core in hardware that is efficiently used by software. The methodology partitions the hardware/software parts based on evaluation of a cost function.

11. Nader F. Mir, "Architecture of a fast Internet switch on chip," presents the use of system-on-chip technology for switching systems. It proposes a switching architecture specially designed for SoC fabrication. The architecture is made up of a large multipath buffered crossbar (MBC) consisting of identical switch elements. It is suitable for handling traffic at a high speed.

12. Amine Bermak, Farid Boussaïd, and Abdesselam Bouzerdoum, "A CMOS imager with on-chip processing for image enhancement and edge detection," presents a sensor array, an analogue read-out processor and a digital image processor integrated on a single chip. It presents an efficient real-time VLSI implementation of shunting inhibitory cellular neural networks based on a mixed-mode analogue-digital approach.

13. Shahrokh Ahmadi and Mona Zaghloul, "A Fabry-Perot optical sensor system-on-chip," presents a Fabry-Perot-based system-on-chip for an optical smart sensor, along with some of its advantages and applications. It describes the CMOS/MEMS implementation and fabrication of a Fabry-Perot on chip and its companion photodiode. An on-chip

cache. Cette architecture peut être adaptée à différents circuits intégrés pour permettre l'exploration de plusieurs solutions et la mise à niveau de l'architecture par la reconfiguration du séquenceur.

6. M. Caldari, M. Conti, M. Coppola, M. Giuliodori et C. Turchetti, "Conception de systèmes intégrés en C++," présente une méthodologie au niveau système reposant sur le langage de programmation C++ pour la spécification et la simulation de circuits intégrés. La bibliothèque IPSIM C++ y est décrite de même que l'outil de simulation pour la modélisation des traitements et le design des SoC. De plus, plusieurs exemples permettent de valider la méthodologie. Le cas d'un MAC et BBNT Ethernet montre comment un système complexe peut être modélisé et simulé à un niveau d'abstraction supérieur au VHDL, permettant ainsi une vitesse de simulation accrue et un processus de design plus flexible.

7. Wayne Luk, Tom Kean, Arran Derbyshire, Jörn Gause, Steve McKeever, Oskar Mencer et Allen Yeow, "Bibliothèques matérielles paramétrables pour les technologies de système reconfigurable sur une puce (CSoc)," présente une approche conceptuelle basée sur le langage Pebble pouvant servir à la production de bibliothèques de matériel paramétrable. De telles bibliothèques facilitent la conception de circuits matériels sur de la logique programmable augmentant ainsi la capacité des processeurs d'instructions des systèmes SoC reconfigurables. Les bibliothèques supportent la paramétrisation du niveau d'organisation en pipeline et de sérialisation permettant d'optimiser le design en termes d'utilisation des ressources et de performance globale. Une étude de cas portant sur l'encryptage DES pour des dispositifs Triscend E5 est présentée.

8. Toshio Sunaga, Kohji Hosokawa, Shinpei Watanabe et Masaya Mori, "Une architecture de macro DRAM pour un système sur une puce," présente une nouvelle architecture DRAM pour des applications embarquées atteignant de hauts débits de données avec accès aléatoires sur les adresses. Cette architecture supporte un mode sans pagination et active un bloc de 256 K cellules pour un accès à rangée d'adresses unique utilisant une structure de mots segmentée.

9. William Fornaciari, Luigi Pomante, Fabio Salice et Donatella Sciuto, "Simulation conjointe matériel/logiciel pour l'exploration rapide de l'espace de design pour les systèmes embarqués multiprocesseurs," présente une stratégie de simulation pour la synchronisation au niveau système permettant à l'utilisateur de simuler facilement l'architecture embarquée d'un microprocesseur, ce qui offre la possibilité d'évaluer l'impact de la modification de la configuration principale sur le système. Les aspects qui peuvent être étudiés par l'utilisateur portent notamment sur l'architecture de communication, la politique d'ordonnement des processus et le type d'unité de traitement. De plus, la stratégie de simulation offre la possibilité de valider le comportement du système complet tout en explorant l'espace de design sur la répartition matériel/logiciel et logiciel/matériel.

10. Wael Badawy, Ashok Kumar et Magdy Bayoumi, "Une méthodologie de co-design pour les systèmes temps-réel à haute performance," présente une approche de co-design pour les applications en temps-réel permettant la surimposition de cartes sur un système d'informations géographique (GIS) portable à haute performance. Cette haute performance est atteinte grâce à un noyau de calcul matériel utilisé judicieusement par un module logiciel. La méthodologie répartit les composants matérielles et logicielles grâce à l'évaluation d'une fonction de coût.

11. Nader F. Mir, "Architecture d'un commutateur Internet rapide sur une puce," présente une approche utilisant la technologie SoC pour les systèmes de commutation. L'article présente une architecture de commutation spécialement conçue pour les SoC. L'architecture se compose d'un crossbar multi-voies à tampon (MBC) formé d'éléments de commutation identiques. Il est adapté à la gestion rapide du trafic.

12. Amine Bermak, Farid Boussaïd et Abdesselam Bouzerdoum, "Un imageur CMOS avec traitement embarqué pour l'amélioration des images et la détection d'arêtes," présente une matrice de senseurs, un

CMOS integrated circuit is designed for the signal conditioning and processing of a photodiode electrical signal.

Dr. Wael Badawy
Guest Editor

Dr. Wael Badawy, P.Eng. (Ph.D. 2000; M.Sc. 1998, 1997; B.Sc. 1994) is currently with the Department of Electrical and Computer Engineering, University of Calgary. Dr. Badawy's research interests are in the areas of VLSI architectures for video applications with low-bit-rate applications, digital video processing, video library, watermarking, spatial information, low-power design methodologies, microelectronics, and VLSI prototyping. His research involves designing new models, techniques, algorithms, architectures and low-power prototypes for MPEG consumer products.

Dr. Badawy has authored or co-authored more than 50 refereed journal/conference papers and about 20 technical reports. He is the Technical Chair for the 2002 International Workshop on SoC for Real-Time Applications, and is a technical reviewer for several IEEE journals and conferences. He is currently a member of the IEEE-CAS Technical Committee on Communication. Dr. Badawy has been honoured with the "2001 Micralyne Microsystems Design Award" and the "1998 Upsilon Pi Epsilon Honor Society and IEEE Computer Society Award for Academic Excellence in Computer Disciplines."

processeur analogique de lecture et une unité de traitement d'images intégrés sur une même puce. Une implantation VLSI efficace de réseaux neuroniques avec court-circuitage de cellules inhibitrices basées sur une approche à mode mixte analogique/numérique est également présentée.

13. Shahrokh Ahmadi et Mona Zaghoul, "Un système de capteur optique Fabry-Perot sur une puce," présente un SoC Fabry-Perot pour un capteur optique intelligent de même que les avantages et les applications de ce système. L'implantation CMOS/MEMS et la fabrication du Fabry-Perot SoC de même que sa photodiode sont décrites. Un circuit intégré CMOS pour le conditionnement du signal et le traitement du signal électrique fourni par la photodiode est également décrit.

Dr. Wael Badawy
Éditeur invité