

# Introduction

The increase in the number of logic gates (10 million to 20 million gates) that can be implemented on a single integrated chip allows for design of circuits with great functional complexity. A whole system previously integrated into a board is now being integrated into a single chip, leading to system-on-chip (SoC) design. A paradigm shift from the current cell library-driven application-specific integrated circuit (ASIC) design to a new SoC technology is now occurring. With the rapid achievement of mass production volumes in consumer products, SoC development faces a continuous decrease of the time-to-market window. It is expected that in the near future new consumer products will take less than one year to achieve a market penetration of 10 million units. All the components that today are part of a system will have to be integrated together. Therefore one of the key factors for the success of ultra-deep submicron technologies will be the capability of integrating into a single piece of silicon different components, such as logic functions, analogue functions, and memories of different types (static memories with either dynamic or nonvolatile). Design methodologies will evolve, and concurrent engineering, intellectual property (IP) reuse, HW/SW codesign and coverification, fast prototyping and use of new CAD tools will be common practice in the coming years. SoC as an emerging technology has its own challenges, issues and trends. This special issue contains a collection of papers that represents the challenges in SoC development and the progress made by industry and academia in solving problems associated with SoC designs. These papers are as follows:

1. Wael Badawy, "System-on-chip: The future of the integration paradigm," presents a comprehensive tutorial for system-on-chip design methodologies. It presents the activities that will be involved in system-on-chip design.

2. A.T. Erdogan, T. Arslan, and W.-C. Lo, "A high-performance low-power system-on-chip platform architecture," describes an SoC platform architecture for low-power high-performance digital signal processing (DSP)-intensive applications. The proposed platform incorporates a novel interfacing scheme which utilizes the bus hierarchy within the advanced microcontroller bus architecture (AMBA) in order to allow single and multiple high-performance DSP intellectual property cores to be integrated on the SoC platform.

3. Rolf Drechsler, Mikael Kerttu, Per Lindgren, and Mitchell Thornton, "Low-power optimization techniques for BDD mapped circuits using temporal correlation," presents a new binary decision diagram-based design style that considers switching activity optimization using temporal correlation information which is based on an approximation method for switching activity estimation.

4. L. Loiseau and Y. Savaria, "Methodologies and strategies for effective design reuse," proposes a softer methodology that is strongly inspired by the *Reuse Methodology Manual*, but adapted to a simpler context. It presents a strategy to spread the inevitable additional effort imposed by reuse methodologies. The proposed method helps to produce better-quality modules while requiring moderate effort.

5. Mohammed Sayed and Wael Badawy, "A novel low-power embedded memory architecture for MPEG-4 applications with mobile devices," presents an embedded memory architecture for MPEG video object prediction with mobile applications. The proposed embedded memory architecture uses texture mapping with a multiplication-free algorithm that simplifies the affine transformation computations.

6. A. Garg, G.A. Jullien, G.H. McGibney, and J.W. Haslett, "A modulus replication complex adaptive filter IP core," proposes the use of the modulus replication residue number system (MRRNS) to design an intellectual property block. The IP block is a high-throughput multirate equalizer for an asymmetrical wireless LAN, where all of the equalization functions are carried out in the base station.

L'augmentation du nombre de portes logiques (de 10 à 20 millions) lorsqu'il est possible d'inclure dans une puce unique permet la mise au point de circuits offrant plusieurs fonctionnalités. Un système complet, autrefois intégré sur une carte, peut maintenant être intégré sur une seule puce, menant à une approche de conception de systèmes sur une puce. Une évolution se fait dorénavant des approches de conception de circuits spécialisés avec des bibliothèques de cellules vers une approche de design de circuits sur une puce. Avec une augmentation de la production de masse, la conception de circuits sur une puce fait face à des délais de mise en marché sans cesse plus courts. Il est anticipé que, dans un futur rapproché, des produits de consommation de masse pénétreront le marché en grandes quantités (10 millions) en moins d'une année. Toutes les composantes qui font maintenant partie d'un système devront alors être intégrées sur une même puce. Par conséquent, un élément clé des technologies ultra sub-micron sera la capacité d'intégrer sur une seule puce de silicium différentes composantes telles des fonctions logiques et analogiques, de même que des mémoires de différents types (mémoires statiques ou dynamiques non volatiles). Les méthodologies de conception vont évoluer et des méthodes de design concurrent, de prototypage rapide, de réutilisation impliquant la propriété intellectuelle, de co-design et de co-vérification matérielle/logicielle, et d'utilisation d'outils de CAO seront des approches courantes dans les années à venir. À titre de technologie émergente, la conception de systèmes sur une puce fait face à ses propres défis, problèmes et tendances. Ce numéro spécial présente un ensemble d'articles qui décrivent les défis relatifs au développement de systèmes sur une puce et les progrès atteints dans l'industrie et dans les laboratoires universitaires sur cette question. Les articles abordent les sujets décrits ci-dessous.

1. Wael Badawy ("Système sur une puce: le futur du paradigme de l'intégration") présente un tutoriel complet sur la conception de systèmes sur une puce et décrit les activités relatives à cette question.

2. L'article "Une architecture de plate-forme faible puissance à haute performance pour les systèmes sur une puce" de A.T. Erdogan, T. Arslan et W.-C. Lo décrit une architecture de système sur une puce pour les applications intensives de traitement du signal. La plate-forme proposée inclut une nouvelle approche d'interfaçage utilisant une hiérarchie de bus dans l'architecture avancée d'un micro-contrôleur de manière à permettre l'intégration de modules de propriété intellectuelle sur une même puce.

3. L'article "Techniques d'optimisation pour les faibles puissances pour des diagrammes de décision binaire utilisant la corrélation temporelle" de Rolf Drechsler, Mikael Kerttu, Per Lindgren et Mitchell Thornton, présente une nouvelle approche de design basée sur des diagrammes de décision binaire qui prend en compte l'optimisation de l'activité de commutation en utilisant l'information de corrélation temporelle reposant sur une méthode d'approximation de l'activité de commutation.

4. L'article "Méthodes et stratégies pour une réutilisation efficace de designs" par L. Loiseau et Y. Savaria propose une méthode plus flexible basée sur le manuel de méthodologie de réutilisation, mais qui l'adapte dans un contexte plus simple. L'article présente une stratégie pour répartir l'effort additionnel exigé par les méthodes de réutilisation. La méthode proposée permet de produire de modules de meilleure qualité avec un effort modéré.

5. L'article "Une nouvelle architecture de mémoire embarquée à faible puissance pour les applications MPEG-4 sur des dispositifs portables" de Mohammed Sayed et Wael Badawy présente une architecture de mémoire embarquée pour la prédiction des objets en vidéo MPEG utilisant le mapping de texture grâce à un algorithme sans multiplication qui simplifie les calculs de transformation affine.

7. Magdy A. El-Moursy and Eby G. Friedman, "Optimizing inductive interconnect for low power," discusses the effect of the width of an interconnect line on the total power consumed by a circuit. It presents a closed-form solution for the optimum width with an error less than 6%. For a specific set of line parameters and resistivities, a reduction in power dissipation approaching 78% is achieved as compared to that for the minimum wire width.

8. Shizhong Mei, Chirayu Amin, and Yehea I. Ismail, "Efficient model order reduction including skin effect," addresses the problem of efficiently estimating the signal characteristics of any *RLC* network when skin effect is significant, complicating interconnect simulation. The paper defines a new type of moment that simplifies the interconnect simulation; namely, the square root moment. The time required to calculate the square root moments is similar to that required to calculate traditional moments, and the new moments preserve the recursive properties of traditional moments. Hence, the method introduced here can handle the more complex problem of interconnect simulation with skin effect at almost no overhead compared to constant-element interconnect simulation.

9. Walied A. Moussa, Hesham Ahmed, Wael Badawy, and Medhat Moussa, "Investigating the reliability of electrostatic comb-drive actuators used in microfluidic and space systems using finite element analysis," presents a study that focuses on investigating the design parameters for a microelectromechanical systems (MEMS)-based IP block. The IP block is a lateral electrostatic comb-drive actuator, where the effect of the parameters on the actuation performance is explored using finite element analysis. This level of analysis is essential to the design process of system-on-a-chip MEMS applications, where a comb drive can represent the main source of actuation within the chip system.

Dr. Wael Badawy  
Guest Editor

6. L'article de A. Garg, G.A. Jullien, G.H. McGibney et J.W. Haslett, intitulé "Un filtre adaptatif complexe de réplication de module pour un noyau de PI," propose d'utiliser un système MRRNS pour concevoir un bloc de propriété intellectuelle. Le bloc de propriété intellectuelle est un égalisateur multi-taux à haut débit pour un LAN assymétrique sans fil où toutes les fonctions d'égalisation sont effectuées à la station de base.

7. Magdy A. El-Moursy et Eby G. Friedman ("Optimisation des interconnexions inductives pour les applications à faible puissance") discutent de l'effet de la largeur d'une ligne d'interconnexion sur la puissance totale consommée par un circuit. Ils présentent une solution analytique pour le calcul de la largeur optimale avec une erreur inférieure à 6%. Pour un ensemble donné de paramètres de ligne et de valeurs de résistivité, une diminution de la puissance dissipée de l'ordre de 78% est atteinte lorsque comparée à la largeur minimum de la ligne.

8. Shizhong Mei, Chirayu Amin, et Yehea I. Ismail ("Une approche efficace de réduction de l'ordre d'un modèle incluant les effets de peau") abordent le problème de l'estimation efficace des caractéristiques du signal d'un réseau *RLC* quelconque pour lequel l'effet de peau est important. L'article définit un nouveau type de moment qui simplifie la simulation des interconnexions, soit le moment de racine carrée. Le temps requis pour calculer ce moment est identique à celui nécessaire au calcul des moments classiques et il préserve le caractère récursif de ces derniers. La méthode peut par conséquent aborder des problèmes plus complexes de simulation d'interconnexions sans charge de calcul additionnelle par rapport aux simulation d'interconnexions par éléments constants.

9. Walied A. Moussa, Hesham Ahmed, Wael Badawy et Medhat Moussa ("Calcul de la fiabilité des actionneurs électrostatiques en peigne utilisés dans les systèmes micro-fluidiques et spatiaux utilisant la méthode des éléments finis") présente une étude qui s'intéresse à l'analyse des paramètres de design de systèmes micro-mécaniques de blocs de PI. Le bloc de propriété intellectuelle est un actionneur à peigne électrostatique où l'effet des paramètres sur les performances de l'actionneur est étudié grâce à une approche reposant sur les éléments finis. Ce niveau d'analyse est nécessaire au design d'applications de systèmes micro-mécaniques sur une puce pour lesquels un actionneur à peigne représente la principale source d'entraînement du système.

Dr Wael Badawy  
Éditeur invité